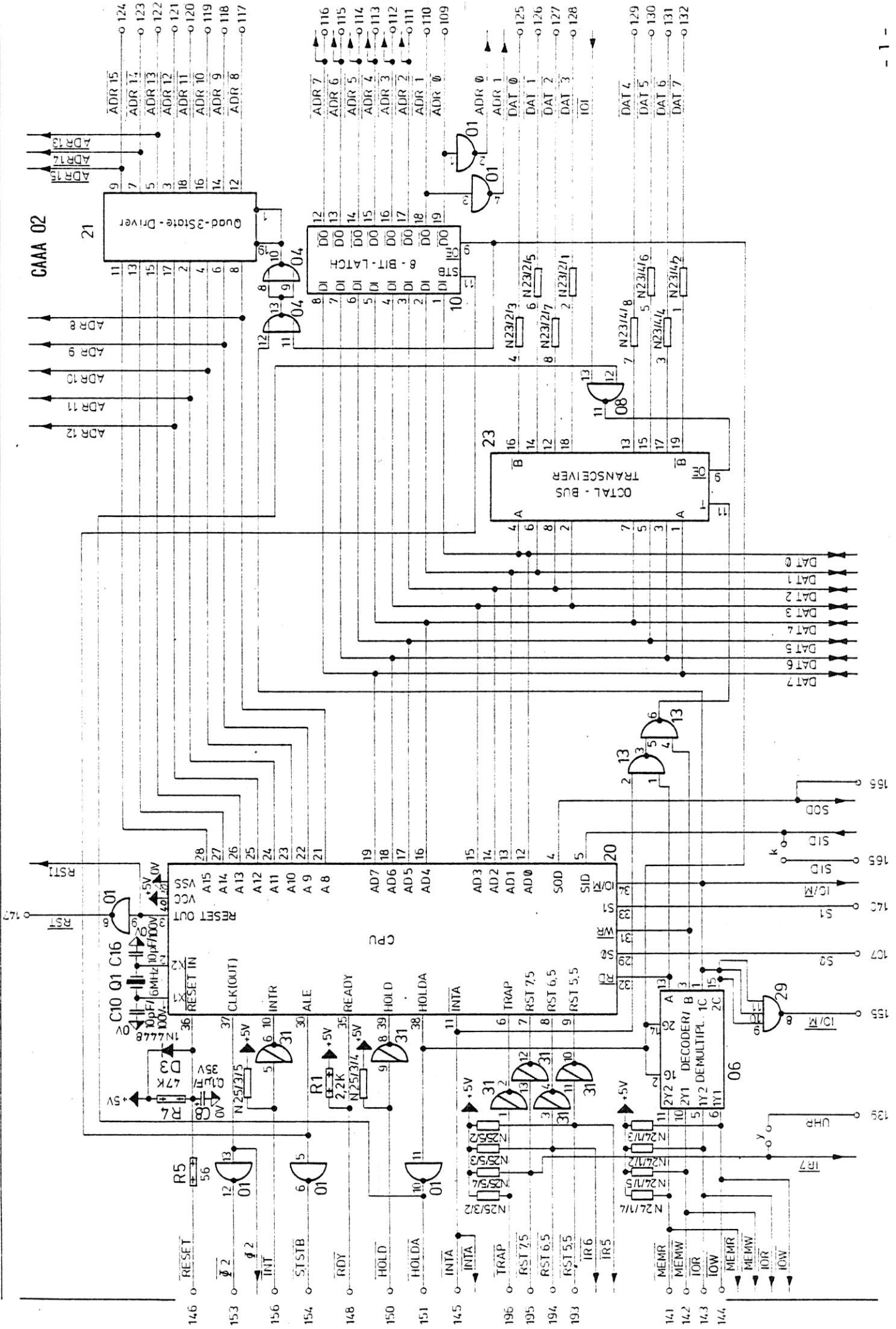
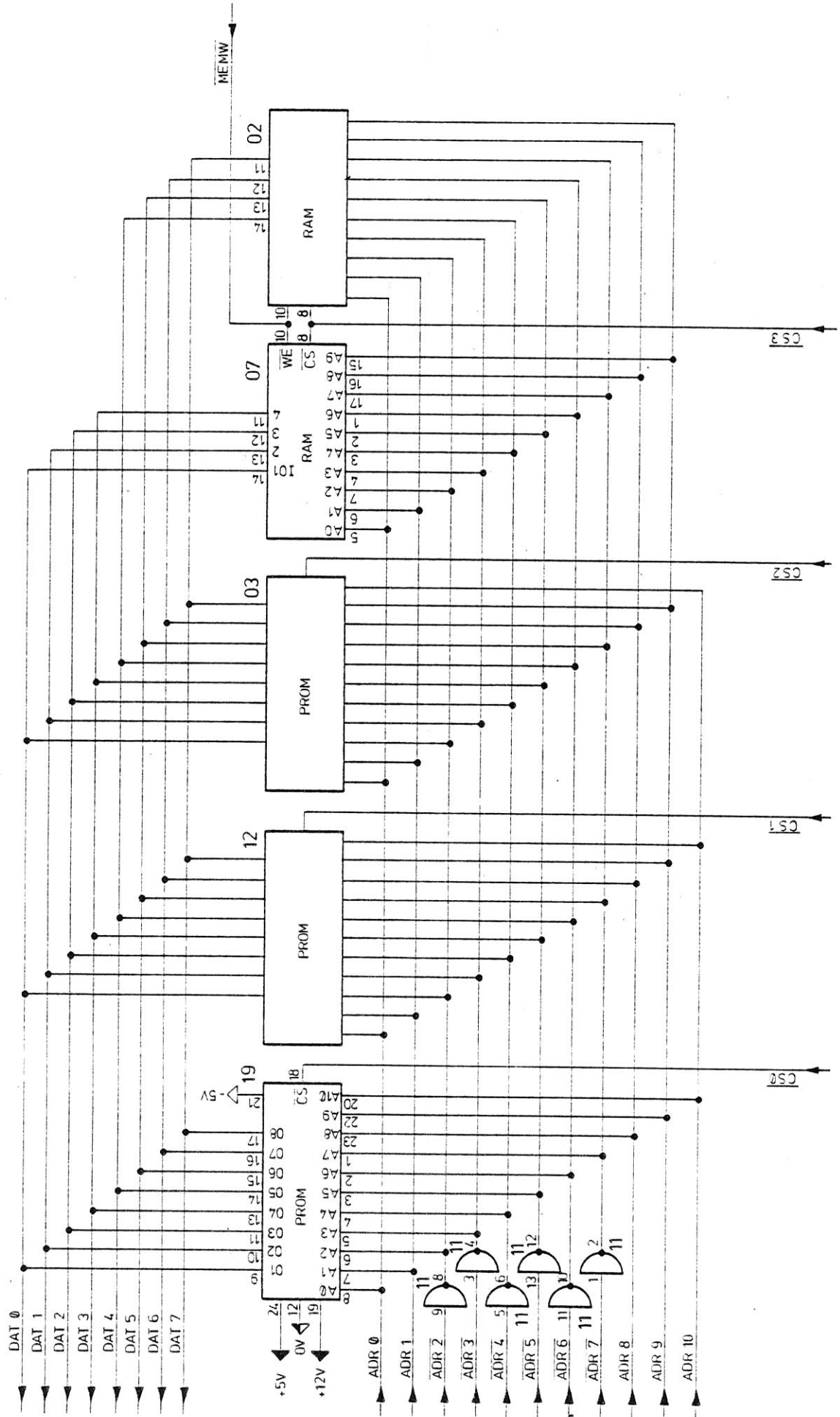


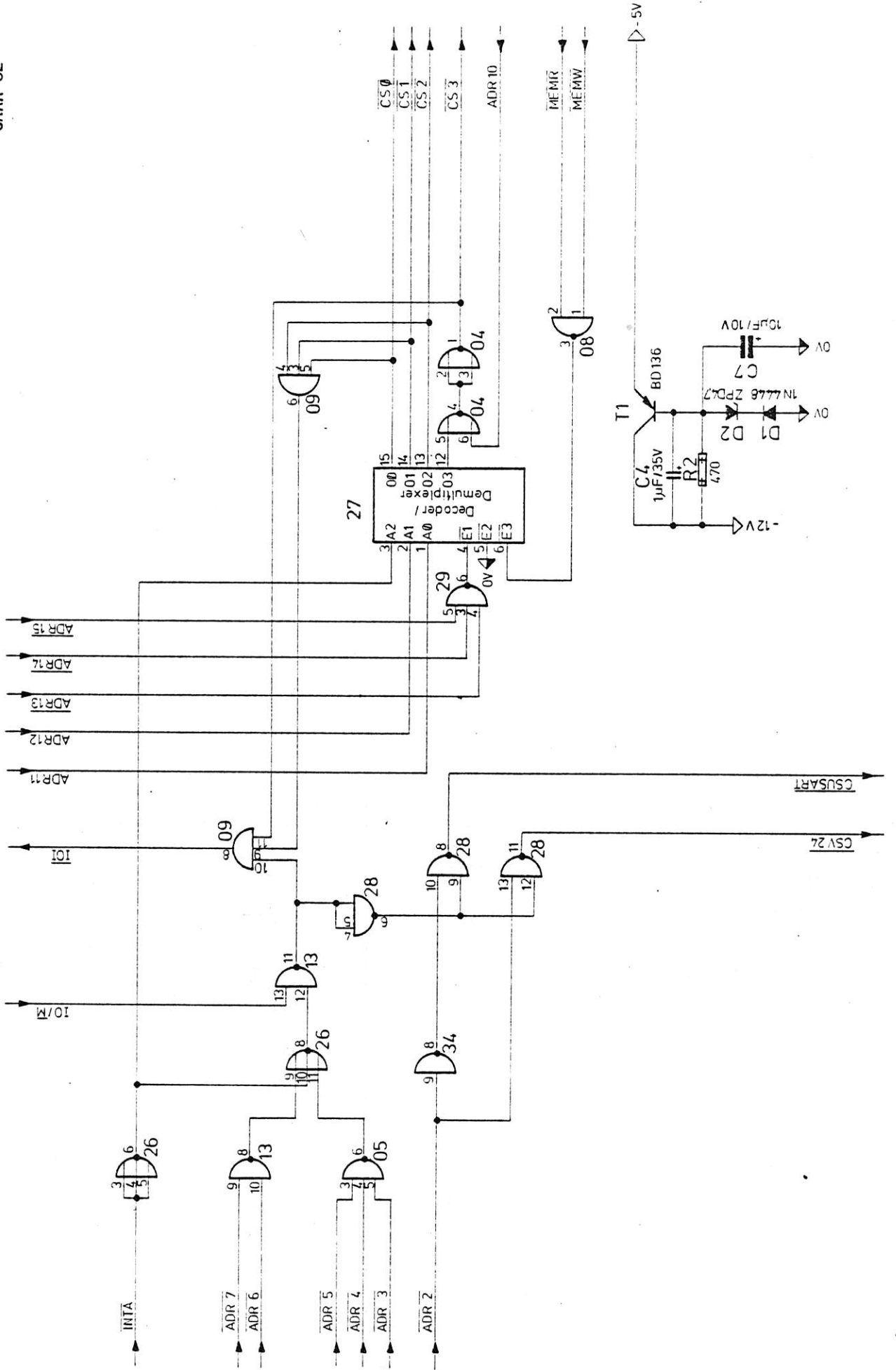
LPL.CPU-III-O.PR. CAAA02



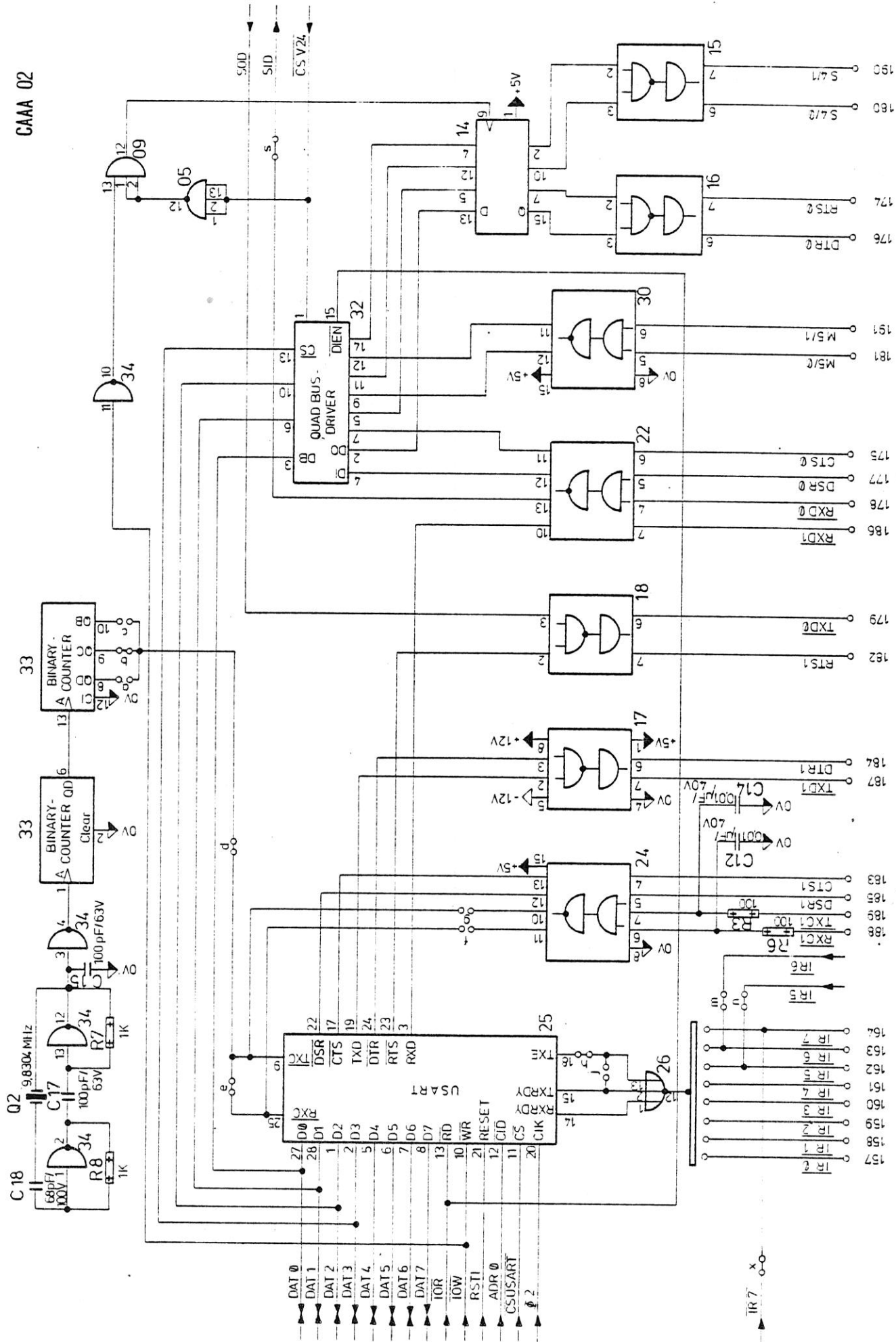
CAAA 02



CAMA 02



CAAA 02



Befehle	Blatt			
	2	3	4	5
ADR 0	8 D	1 C		1 D
ADR 1	8 D	1 D		
ADR 2	8 C	1 D	1 C	
ADR 3	8 C	1 D	1 C	
ADR 4	8 C	1 D	1 C	
ADR 5	8 C	1 D	1 C	
ADR 6	8 C	1 D	1 B	
ADR 7	8 C	1 E	1 B	
ADR 8	7 A	1 E		
ADR 9	6 A	1 E		
ADR 10	6 A	1 E	8 D	
ADR 11	6 A		4 A	
ADR 12	6 A		5 A	
ADR 13	8 A		5 A	
ADR 14	8 A		5 A	
ADR 15	7 A		5 A	
CS 0		3 F	8 C	
CS 1		4 F	8 C	
CS 2		5 F	8 C	
CS 3		7 F	8 C	
CSUSART			4 F	1 D
CSV 24			4 F	8 C
DAT 0	5 F	1 B		1 C
DAT 1	5 F	1 B		1 C
DAT 2	5 F	1 B		1 C
DAT 3	5 F	1 B		1 C
DAT 4	5 F	1 B		1 C
DAT 5	5 F	1 B		1 C
DAT 6	5 F	1 B		1 C
DAT 7	5 F	1 B		1 C
INTA	1 C		1 B	
IOI	8 D		4 A	
IO/H	3 F		3 A	
YOR	1 E			1 D
YOW	1 E			1 D
IR 3	1 D			3 F
IR 6	1 D			3 F
IR 7	2 F			1 E
MEMR	1 E		8 D	
MEMW	1 E	8 C	8 D	
RSTI	4 A			1 D
SID	4 F			8 C
SOD	4 F			8 B
Ø 2	1 B			1 D

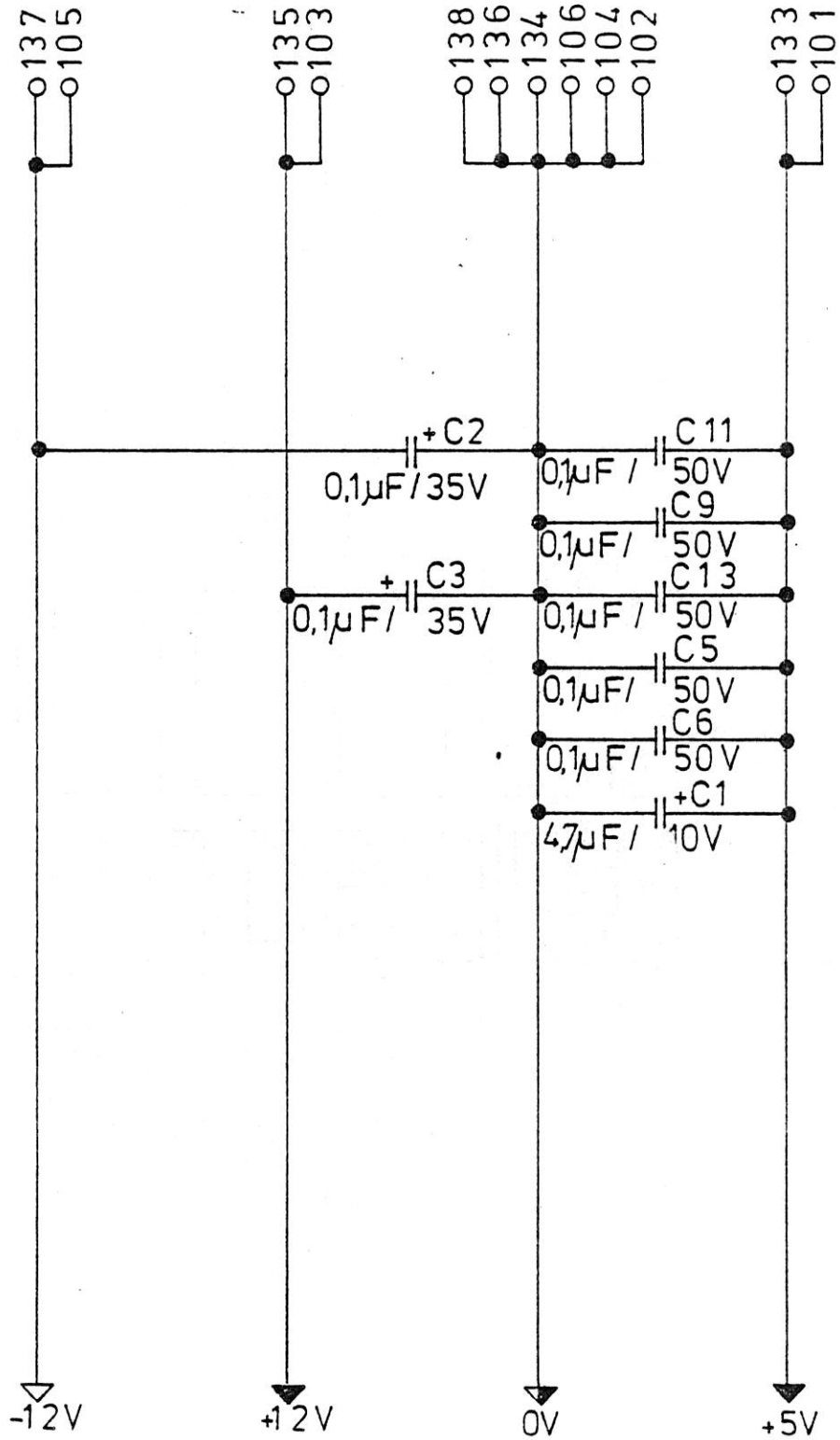
CAAA 02

Chip-Platz	01	11	21	31	41	51	61	71	81	91	101	111
Typ	A 103	A 103	A 162	A 138								
Planquadrat	2-8C 2-7D 2-2B 2-3A 2-2C 2-2B	3-2E 3-2D 3-2D 3-2D 3-2D 3-2D	2-7B	2-2D 2-2D 2-2B 2-2C 2-2D								
	+5V	+5V	+5V	+5V								
	02	12	22	32	42	52	62	72	82	92	102	112
	L 64	*	V 05	A 57								
	3-7C	3-4C	5-6D	5-6C								
	+5V	+5V	+5V	+5V								
	03	13	23	33	43	53	63	73	83	93	103	113
	*	A 101	A 470	P 111								
	3-5C	2-4E 2-4S 4-2B 4-3C	2-6D	5-4A 5-5A								
	+5V	+5V	+5V	+5V								
	04	14	24	34	44	54	64	74	84	94	104	
	A 102	F 109	V 05	A 403								
	4-7C 4-6C 2-7B 2-7B	5-7D	5-3D	5-2A 5-3A - 4-3C 5-6B 5-3A								
	+5V	+5V	+5V	+5V								
	05	15	25	35	45	55	65	75	85	95	105	
	A 104	V 29	Y 22									
	- 4-2C 5-7B	5-8E	5-2C									
	+5V	+12V	+5V									
	06	16	26	36	46	56	66	76	86	96	106	
	H 126	V 29	A 129									
	2-2E	5-7E	5-2E 4-2B 4-3C									
	+5V	+12V	+5V									
	07	17	27	37	47	57	67	77	87	97	107	
	L 64	V 29	H 112									
	3-6C	5-4D	4-6C									
	+5V	+12V	+5V									
	08	18	28	38	48	58	68	78	88	98	108	
	A 101	V 29	A 101									
	4-7D - - 2-6D	5-5D	- 4-4C 4-4C 4-4D									
	+5V	+12V	+5V									
	09	19	29	39	49	59	69	79	89	99	109	
	A 164	*	A 104									
	4-6C 4-4B 5-7B	3-2C	- 4-5C 2-3E									
	+5V	+5V	+5V									
	10	20	30	40	50	60	70	80	90	100	110	
	F 424	V 13	V 05									
	2-7C	2-3C	5-6D									
	+5V	+5V	+5V									

\*) Bestückung nach Referenzliste Z. Nr.: Z08-0438

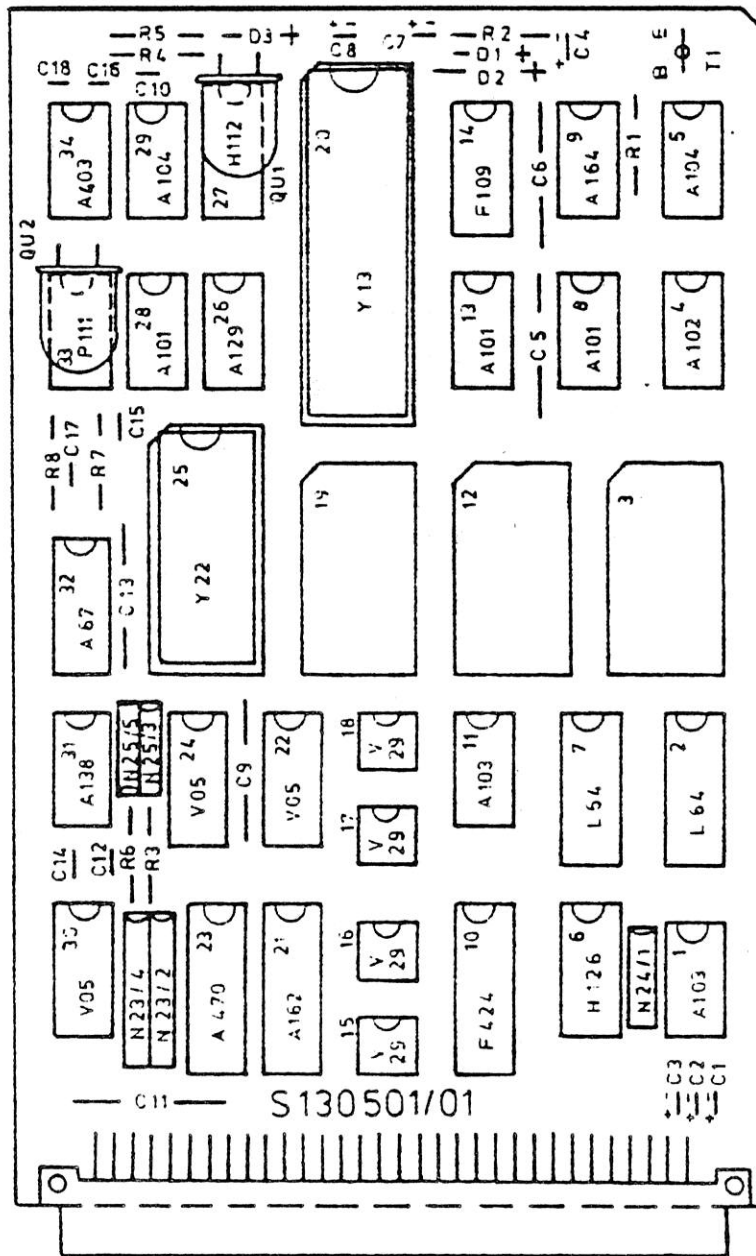
CANA 02

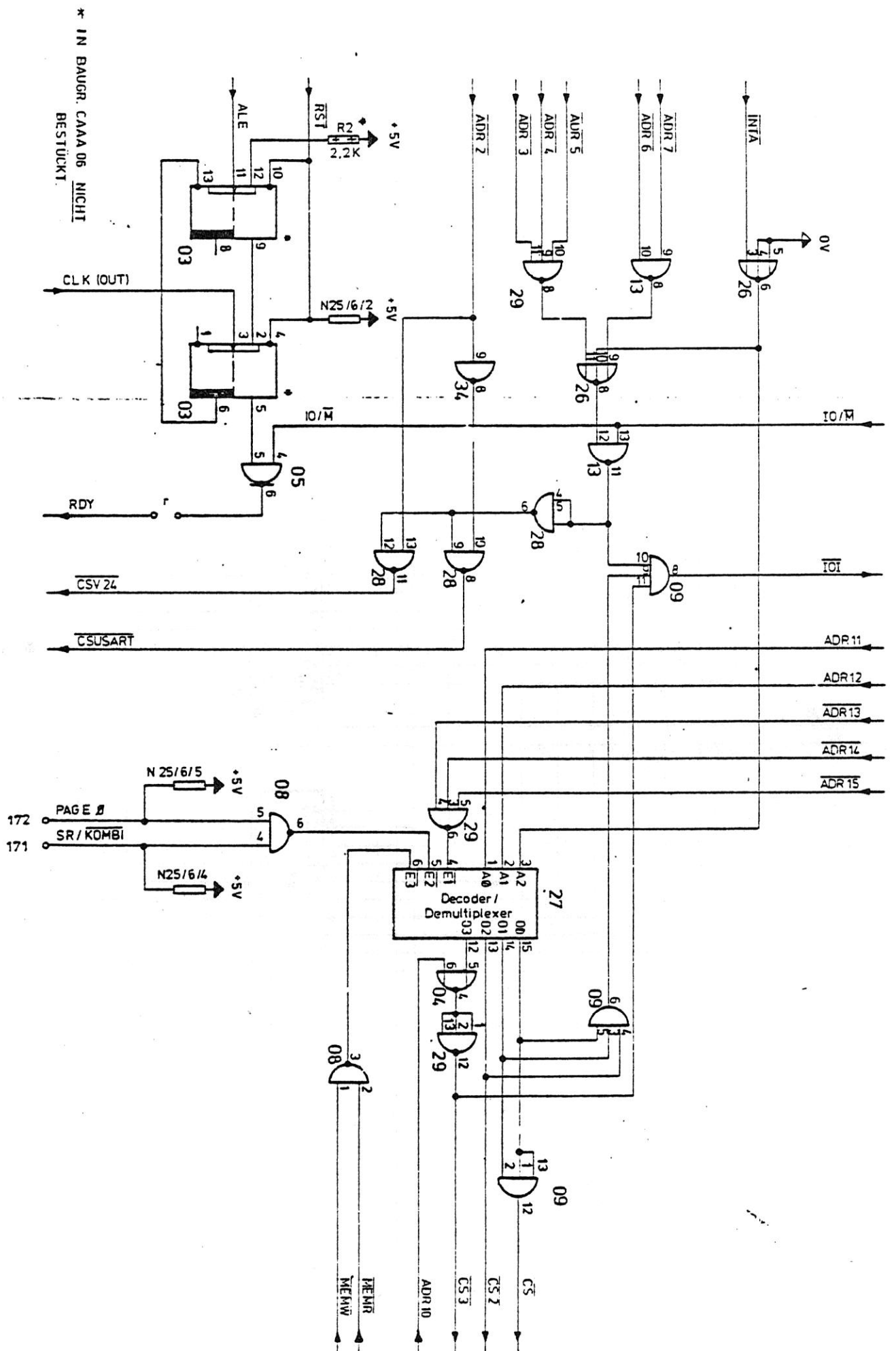
CAAA 02



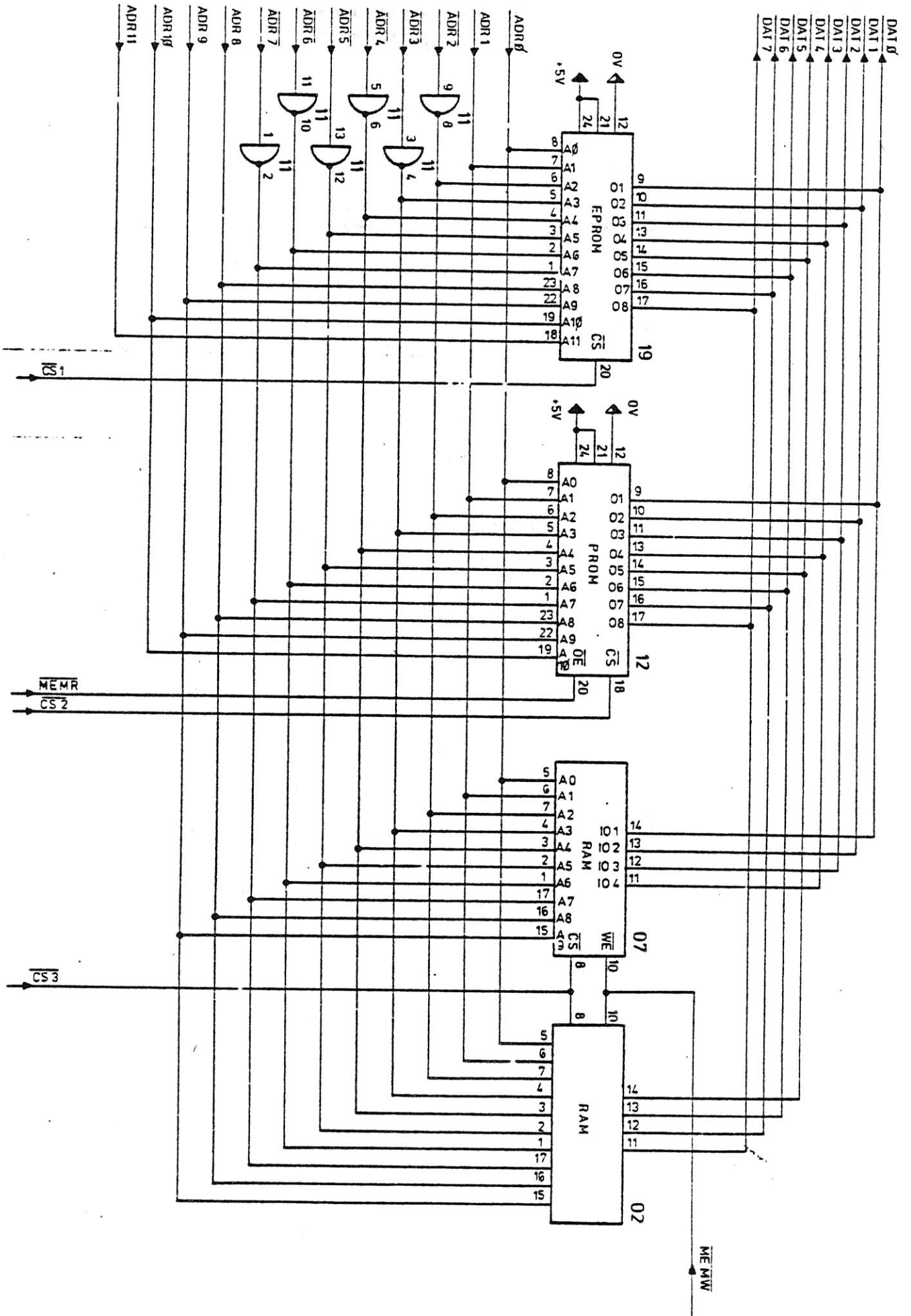


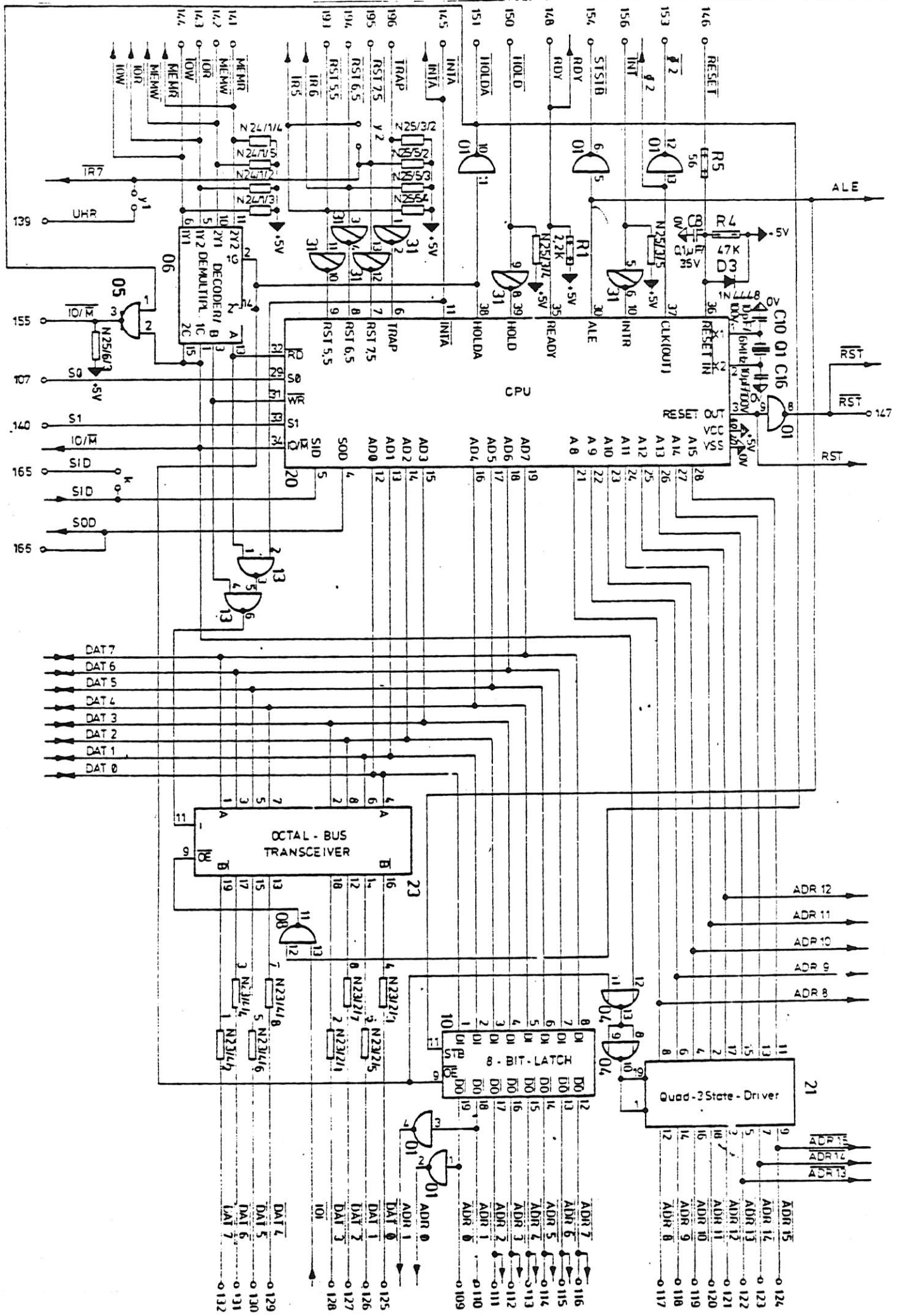
CAAA 02





\* IN BAUGR. CAAA 06 NICHT BESTÜCKT.





## Kurze Einführung

Die CPU-III Baugruppe der alphaTronic läßt sich in drei logische Gruppen unterteilen. Es sind dies einmal die CPU vom Type Intel 8085, der Programmspeicher (6K EPROM und 1K RAM) und die zwei seriellen Schnittstellen.

## Die Schnittstellen

Die eine der beiden seriellen Schnittstellen wird in der alphaTronic nur für den Druckerbetrieb benutzt. Sie arbeitet mit dem SOD-Ausgang der CPU und heißt deswegen auch SID/SOD-Schnittstelle. Die Übertragung geschieht seriell mit der eingestellten Baudrate (PP-Kommando), 8 Bits, 1 Start-, 2 Stopbits und no Parity. Nach dem Einschalten der Maschine sind standartmäßig 4800 Bd eingestellt. Die zweite serielle Schnittstelle ist mit dem USART-Baustein 8251A realisiert und kann vom Anwender frei programmiert werden. Wie dieses zu erfolgen hat, ist im Systemhandbuch nachzulesen.

Im Gegensatz zur Druckerschnittstelle, bei der die Baudrate softwaremäßig einstellbar ist, kann sie bei der USART-Schnittstelle nur in bestimmten Grenzen von der Software (d.h. durch Programmierung des USART) beeinflusst werden. Um sie in weiten Grenzen einzustellen, muß die entsprechende Brücke (a, b, oder c) am Baudrategenerator <IC 33> geschlossen bzw. geöffnet werden. Die Baudrate für den USART kann dann von 600 Bd bis 9600 Bd eingestellt werden.

Über die I/O Adresse 0 können verschieden Statusleitungen der SID/SOD-Schnittstelle gesetzt bzw. abgefragt werden. Die Zuordnung der Bits nach Einlesen bzw. Schreiben von Port 0 gehen aus der nachfolgenden Tabelle hervor.

Signal	Bit	schreiben	lesen
-DSRO-	0	X	
-DTRO-	0		X
-RTSO-	1	X	
-CTSO-	1		X
-M4/0-	2	X	
-M5/0-	2		X
-M4/1-	3	X	
-M5/1-	3		X

## Kurze Einführung

Die CPU-III Baugruppe der alphaTronic läßt sich in drei logische Gruppen unterteilen. Es sind dies einmal die CPU vom Type Intel 8085, der Programmspeicher (6K EPROM und 1K RAM) und die zwei seriellen Schnittstellen.

## Die Schnittstellen

Die eine der beiden seriellen Schnittstellen wird in der alphaTronic nur für den Druckerbetrieb benutzt. Sie arbeitet mit dem SOD-Ausgang der CPU und heißt deswegen auch SID/SOD-Schnittstelle. Die Übertragung geschieht seriell mit der eingestellten Baudrate (PP-Kommando), 8 Bits, 1 Start-, 2 Stopbits und no Parity. Nach dem Einschalten der Maschine sind standartmäßig 4800 Bd eingestellt. Die zweite serielle Schnittstelle ist mit dem USART-Baustein 8251A realisiert und kann vom Anwender frei programmiert werden. Wie dieses zu erfolgen hat, ist im Systemhandbuch nachzulesen.

Im Gegensatz zur Druckerschnittstelle, bei der die Baudrate softwaremäßig einstellbar ist, kann sie bei der USART-Schnittstelle nur in bestimmten Grenzen von der Software (d.h. durch Programmierung des USART) beeinflusst werden. Um sie in weiten Grenzen einzustellen, muß die entsprechende Brücke (a, b, oder c) am Baudrategenerator <IC 33> geschlossen bzw. geöffnet werden. Die Baudrate für den USART kann dann von 600 Bd bis 9600 Bd eingestellt werden.

Über die I/O Adresse 0 können verschieden Statusleitungen der SID/SOD-Schnittstelle gesetzt bzw. abgefragt werden. Die Zuordnung der Bits nach Einlesen bzw. Schreiben von Port 0 gehen aus der nachfolgenden Tabelle hervor.

Signal	Bit	schreiben	lesen
-DSRO-	0	X	
-DTRO-	0		X
-RTSO-	1	X	
-CTSO-	1		X
-M4/0-	2	X	
-M5/0-	2		X
-M4/1-	3	X	
-M5/1-	3		X

### Der Programmspeicher

Das Monitorprogramm und die Treiber für Floppy, Tastatur und Bildschirm sind in 3 EPROMs vom Typ Texas 2716 abgelegt. Sie sind adressmäßig so angeordnet, daß jeder Gerätetreiber einen eigenen EPROM hat. Dadurch wird erreicht, daß bei Ausgabe eines neuen Indexes nur der entsprechende EPROM ausgetauscht werden muß.

Der Monitor selbst, der alle Kommandos verarbeitet, belegt den Adressbereich von 0 bis 07FFH. Der Floppytreiber mit der länderspezifischen Tastaturliste belegt den Bereich von 0800H bis 0FFFH. Der Adressbereich von 1000H bis 17FFH beinhaltet den Bildschirm- und Tastaturtreiber.

Der RAM-Bereich, aufgebaut mit zwei Bausteinen vom Typ 2114 (1k \* 4) <IC 07&02>, beginnt ab der Adresse 1800H ist nur 1k lang. Er endet daher auf der Adresse 1BFFH. Hier sind hauptsächlich Variable der einzelnen Treiberrountinen abgelegt. Dem Anwender steht dieser Teil des RAMs nur in Form eines Stackbereiches von der Adresse 1980H abwärts zur Verfügung. Der Adressraum von 1C00H bis 1FFFH ist nicht benutzt.

### Die CPU 8085

Die CPU <IC 20> selbst bildet das Herz der Maschine. Angetrieben von einem 6MHz-Quarz bildet sie die Grundlage für den zeitlichen Ablauf innerhalb des Systems. Intern wird der Quarztakt durch zwei geteilt und steht am pin 37 (CLKOUT) zur allgemeinen Verfügung.

Da die 8085 eine gemultiplexten Daten- und Adressbus hat, werden zu Anfang eines jeden Maschinentaktes die acht niederwertigen Adressen auf den Datenbus ausgegeben. Sie werden dann in einem Adresslatch <IC 10> zwischengespeichert. Als Speichertakt fungiert das Signal ALE (Adress Latch Enable) der CPU.

Danach werden die Daten ausgegeben bzw. eingelesen. Die Unterscheidung der beiden Vorgänge (schreiben oder lesen) geschieht mit den Signalen -RD- und -WR-, bzw. IO/-M-. Das letztgenannte Signal kennzeichnet einen Speicher (IO/-M- = 0) bzw. einen I/O Zugriff (IO/-M- = 1). Der Demultiplexer / Decoder <IC 06> wandelt die Signale -RD-, -WR- und IO/-M- in die vier Steuersignale -IOR-, -IOW-, -MEMR- und -MEMW- um. Diese Signale sind erforderlich, um mit den MC-80 Baugruppen, die aus der CPU-I (mit 8080) stammenden Zeit, die entsprechenden Signale zu liefern.

Darüberhinaus werden alle Signale, die vom Bus kommen bzw. dorthin gehen, mit entsprechenden Buffern versehen. Dadurch ist immer gewährleistet, dass eine kontrollierbare Zahl von Lasten an jeder Leitung liegt. Damit die internen Speicher (EPROM, RAM und I/O) nicht die volle Treiberlast bewältigen müssen, werden die Data-Bus-Buffer <IC 23> durch das -IOI- (I/O Inter) während eines Zugriffes auf diese Adressen blockiert.

Eine Tatsache sei am Schluss noch erwähnt. Normalerweise liegen bei der 8085 während einem I/O Zugriff auf den acht höherwertigen Adressleitungen genau die selben Informationen, wie auf ADO - AD7. Um aber mit der 8080 CPU voll kompatibel zu sein, bei der während dieser Zeit die Adressen A8 - A15 im hochohmigen Zustand (tri-state) waren, werden auch hier über die zwei NOR-Gatter <IC 04> und den Adress-Bus Buffer <IC 21> die Adressen 8 - 15 während eines I/O Zugriffs ausgeblendet.



## Brückenbelegungsliste

Das Einstellen der Baudrate für den USART-Baustein 8251A geschieht wie schon gesagt mit den Brücken a-c, die sich unter <IC 33> befinden. <IC 34> erzeugt mit dem Quarz 9,8304 MHz eine Frequenz, die dann mit <IC 33> durch 16, 32 oder 64 geteilt wird. Die daraus entstehende Baudrate geht aus der nachfolgenden Tabelle hervor:

Brücke geschlossen	offen	Baudrate (*16)	(*64)
a	b;c	9600	2400
b	a;c	4800	1200
c	a;b	2400	600

Standartmäßig ist die Brücke b geschlossen (= 4800 Bd) und damit eine Baudrate von 4800 Bd eingestellt. Es ist aber zu beachten, daß bei der Initialisierung des 8251A im Modeword Clock\*16 angegeben wird. Durch entsprechende Programmierung des USART (Clock \*64) lassen sich alle Baudraten noch einmal durch 4 teilen. Die niedrigste Übertragungsrate liegt somit bei 600 Bd. Die genaue Programmierbeschreibung des 8251A geht aus dem entsprechenden Kapitel im Systemhandbuch oder den Datenblättern des Herstellers hervor.

Mit den Brücken d, e, f und g kann Quelle der Taktfrequenz für den USART eingestellt werden (TxC und RxC). Es ergibt sich folgender Zusammenhang:

Brücke geschlossen	offen	Funktion
d;e	f;g	Interne Baudrate RxC = TxC
f;g;e	d	externe Baudrate RxC = TxC
f;g	d;e	externe Baudrate RxC <> TxC

Weiterhin ist es möglich, mit TxRDY und TxE einen Interrupt auszulösen. Mit den Brücken h und j wird dieses erreicht. Die Voreinstellung ist mit einem (\*) gekennzeichnet.

Brücke	geschlossen	offen	Funktion
*	h	j	Interrupterzeugung von TxRDY und TxE
	j	h	Interrupterzeugung von TxRDY

Desweiteren sind noch Brücken auf der CPU-III Baugruppe, die in der nachfolgenden Tabelle zusammengefasst sind. Die Standarteinstellung ist mit einem (\*) gekennzeichnet.

Brücke	geschlossen	offen	Funktion
*	s	k	SID-Eingang der CPU mit -RxDO- verbunden
	k	s	SID-Eingang der CPU mit Pin 65 verbunden
*	x	y	RST7.5 mit Pin 64 verbunden
	y	x	RST7.5 mit Uhrentakt vom Netzteil verbunden
*	m		-IR6- an -RST6.5- (ZIMP)
*	n		-IR5- an -RST5.5- (BIMP)

Die Brücken s und k bzw. x und y dürfen nie gleichzeitig geschlossen sein. BIMP und ZIMP sind die Zeilen- bzw. Bildimpulse vom Bildschirmcontroller.

## Steckerbelegungsplan CPU-III

### Steckerreihe (a)

Pin	Signal	Erklärung
01	+5V	
02	0V	
03	+12V	
04	0V	
05	-12V	
06	0V	
07	S0	Statussignal S0
08		frei
09	-ADR0-	Adressenbus
10	-ADR1-	Adressenbus
11	-ADR2-	Adressenbus
12	-ADR3-	Adressenbus
13	-ADR4-	Adressenbus
14	-ADR5-	Adressenbus
15	-ADR6-	Adressenbus
16	-ADR7-	Adressenbus
17	-ADR8-	Adressenbus
18	-ADR9-	Adressenbus
19	-ADR10-	Adressenbus
20	-ADR11-	Adressenbus
21	-ADR12-	Adressenbus
22	-ADR13-	Adressenbus
23	-ADR14-	Adressenbus
24	-ADR15-	Adressenbus
25	-DAT0-	Datenbus 0
26	-DAT1-	Datenbus 1
27	-DAT2-	Datenbus 2
28	-DAT3-	Datenbus 3
29	-DAT4-	Datenbus 4
30	-DAT5-	Datenbus 5
31	-DAT6-	Datenbus 6
32	-DAT7-	Datenbus 7

## Steckerreihe (b)

Pin	Signal	Erklärung
33	+5V	
34	0V	
35	+12V	
36	0V	
37	-12V	
38	0V	
39	UHR	Uhrentakt vom Netzteil
40	S1	Statussignal S1
41	-MEMR-	Memory Read
42	-MEMW-	Memory Write
43	-IOR-	IN/OUT Read
44	-IOW-	IN/OUT Write
45	-INTA-	Interrupt Acknowledged
46	-RESET-	RESET
47	-RST-	Reset intern
48	-READY-	Ready
49		frei
50	-HOLD-	Hold Request
51	-HLDA-	Hold Acknowledged
52		frei
53	- $\phi$ 2-	CPU-Takt (3 MHz)
54	-STSTB-	Status Strobe (ALE)
55	-IO/-M--	I/O-Memory Signal
56	-INT-	Interrupt (request)
57	-IRO-	Interrupt 0
58	-IR1-	Interrupt 1
59	-IR2-	Interrupt 2
60	-IR3-	Interrupt 3
61	-IR4-	Interrupt 4
62	-IR5-	Interrupt 5
63	-IR6-	Interrupt 6
64	-IR7-	Interrupt 7

## Steckerreihe (c)

Pin	Signal	Erklärung
65	SID	Serial Input Data Line
66	SOD	Serial Output Data Line
67		frei
68		frei
69		frei
70		frei
71		frei
72		frei
73		frei
74	RTS0	Request to Send 0
75	CTS0	Clear to Send 0
76	DTR0	Data Terminal Ready 0
77	DSR0	Data Set Ready 0
78	-TxD0-	Transmitted Data 0
79	-RxD0-	Received Data 0
80	S4/0	Steuerleitung
81	M5/0	Steuerleitung
82	RTS1	Request to Send 1
83	CTS1	Clear to Send 1
84	DTR1	Data Terminal Ready 1
85	DSR1	Data Set Ready 1
86	-RxD1-	Received Data 1
87	-TxD1-	Transmitted Data 1
88	RxC1	Receiver Clock 1
89	TxC1	Transmitter Clock 1
90	S4/1	Steuerleitung
91	M5/1	Steuerleitung
92		frei
93	-RST5.5-	Restart 5.5
94	-RST6.5-	Restart 6.5
95	-RST7.5-	Restart 7.5
96	-TRAP-	TRAP