

LPL.CPU-III-K CAAA06

Unterschiede bei der Baugruppe CAAA 06

Die Baugruppe CAAA 06 wurde hauptsächlich für die alphaTronic P2U entwickelt, die mit 64k RAM ausgestattet ist. Sie wird aber auch in der P2 bzw. P2S eingesetzt. Folgende Unterschiede zur Baugruppe CAAA 02 sind vorhanden:

- 6k EPROM in einem 2k und einem 4k EPROM
- Vorbereitet für 64k Betrieb (PAGE 0 Signal)
- Baudrate für USART bis 300 Bd einstellbar

Aus Ersparnisgründen wurde das MOS in zwei EPROMs zusammengefasst. Der 2k EPROM belegt nun den Adressbereich von 0 bis 7FFH, der 4k EPROM den Bereich von 800H bis 17FFH. Der Adressbereich für den 4k EPROM wurde so gewählt, weil es dann nur noch einen länderspezifischen Baustein gibt. Die enthaltenen Funktionen und (Software-) Schnittstellen entsprechen voll den vorangegangenen.

Das PAGE0-Signal, das über pin 72 auf die CPU-Baugruppe gelangt, blendet den gesamten Adressbereich von 0 bis 1BFFH aus, wenn es log. 0 ist. Die Ausblendung erfolgt dadurch, daß einfach der Eingang -E2- des Adressdekoders <IC 27> auf "1" gelegt wird. Dadurch sind alle Ausgänge ebenfalls "1" und keiner der CPU internen Speicherbausteine (EPROM, RAM) wird angesprochen. Das Signal SR/-KOMBI- ist für eine spätere Erweiterung des Systems vorgesehen.

Wie bereits erwähnt, ist ab dieser Baugruppe möglich, die Baudrate für den USART von 9600 Bd bis 300 Bd einzustellen. Aus diesem Grunde wurde die Quarzfrequenz von 9.8304 MHz auf 4.9152 MHz reduziert. Zusätzlich wurde die Brücke z geschaffen, die dann entsprechend offen oder geschlossen mit den Brücken a, b und c die in der nachfolgenden Tabelle enthaltenen Baudraten liefert. Die Standarteinstellung (4800 Bd) ist mit einem (*) gekennzeichnet.

Brücke geschlossen	offen	Baudrate (*16)	(*64)	
	a	b;c;z	9600	2400
*	b	a;c;z	4800	1200
	c	a;b;z	2400	600
	z	a;b;c	1200	300

Steckerbelegungsplan CPU-IIISteckerreihe (a)

Pin	Signal	Erklärung
01	+5V	
02	0V	
03	+12V	
04	0V	
05	-12V	
06	0V	
07	S0	Staussignal S0
08		frei
09	-ADR0-	Adressenbus
10	-ADR1-	Adressenbus
11	-ADR2-	Adressenbus
12	-ADR3-	Adressenbus
13	-ADR4-	Adressenbus
14	-ADR5-	Adressenbus
15	-ADR6-	Adressenbus
16	-ADR7-	Adressenbus
17	-ADR8-	Adressenbus
18	-ADR9-	Adressenbus
19	-ADR10-	Adressenbus
20	-ADR11-	Adressenbus
21	-ADR12-	Adressenbus
22	-ADR13-	Adressenbus
23	-ADR14-	Adressenbus
24	-ADR15-	Adressenbus
25	-DAT0-	Datenbus 0
26	-DAT1-	Datenbus 1
27	-DAT2-	Datenbus 2
28	-DAT3-	Datenbus 3
29	-DAT4-	Datenbus 4
30	-DAT5-	Datenbus 5
31	-DAT6-	Datenbus 6
32	-DAT7-	Datenbus 7

Steckerreihe (b)

Pin	Signal	Erklärung
33	+5V	
34	0V	
35	+12V	
36	0V	
37	-12V	
38	0V	
39	UHR	Uhrentakt vom Netzteil
40	S1	Statussignal S1
41	-MEMR-	Memory Read
42	-MEMW-	Memory Write
43	-IOR-	IN/OUT Read
44	-IOW-	IN/OUT Write
45	-INTA-	Interrupt Acknowledged
46	-RESET-	RESET
47	-RST-	Reset intern
48	-READY-	Ready
49		frei
50	-HOLD-	Hold Request
51	-HLDA-	Hold Acknowledged
52		frei
53	φ 2-	CPU-Takt (3 MHz)
54	-STSTB-	Status Strobe (ALE)
55	-IO/-M--	I/O-Memory Signal
56	-INT-	Interrupt (request)
57	-IRO-	Interrupt 0
58	-IR1-	Interrupt 1
59	-IR2-	Interrupt 2
60	-IR3-	Interrupt 3
61	-IR4-	Interrupt 4
62	-IR5-	Interrupt 5
63	-IR6-	Interrupt 6
64	-IR7-	Interrupt 7

Steckerreihe (c)

Pin	Signal	Erklärung
65	SID	Serial Input Data Line
66	SOD	Serial Output Data Line
67		frei
68		frei
69		frei
70		frei
71	SR/-KOMBI-	Speicher- Kombiumschalt.
72	PAGE0	Seitenumschaltung
73		frei
74	RTS0	Request to Send 0
75	CTS0	Clear to Send 0
76	DTR0	Data Terminal Ready 0
77	DSR0	Data Set Ready 0
78	-TxD0-	Transmitted Data 0
79	-RxD0-	Received Data 0
80	S4/0	Steuerleitung
81	M5/0	Steuerleitung
82	RTS1	Request to Send 1
83	CTS1	Clear to Send 1
84	DTR1	Data Terminal Ready 1
85	DSR1	Data Set Ready 1
86	-RxD1-	Received Data 1
87	-TxD1-	Transmitted Data 1
88	RxC1	Receiver Clock 1
89	TxC1	Transmitter Clock 1
90	S4/1	Steuerleitung
91	M5/1	Steuerleitung
92		frei
93	-RST5.5-	Restart 5.5
94	-RST6.5-	Restart 6.5
95	-RST7.5-	Restart 7.5
96	-TRAP-	TRAP

Unterschiede bei der Baugruppe CAAA 06

Die Baugruppe CAAA 06 wurde hauptsächlich für die alphaTronic P2U entwickelt, die mit 64k RAM ausgestattet ist. Sie wird aber auch in der P2 bzw. P2S eingesetzt. Folgende Unterschiede zur Baugruppe CAAA 02 sind vorhanden:

- 6k EPROM in einem 2k und einem 4k EPROM
- Vorbereitet für 64k Betrieb (PAGE 0 Signal)
- Baudrate für USART bis 300 Bd einstellbar

Aus Ersparnisgründen wurde das MOS in zwei EPROMs zusammengefasst. Der 2k EPROM belegt nun den Adressbereich von 0 bis 7FFH, der 4k EPROM den Bereich von 800H bis 17FFH. Der Adressbereich für den 4k EPROM wurde so gewählt, weil es dann nur noch einen länderspezifischen Baustein gibt. Die enthaltenen Funktionen und (Software-) Schnittstellen entsprechen voll den vorangegangenen.

Das PAGE0-Signal, das über pin 72 auf die CPU-Baugruppe gelangt, blendet den gesamten Adressbereich von 0 bis 1BFFF aus, wenn es log. 0 ist. Die Ausblendung erfolgt dadurch, daß einfach der Eingang -E2- des Adressdekoders <IC 27> auf "1" gelegt wird. Dadurch sind alle Ausgänge ebenfalls "1" und keiner der CPU internen Speicherbausteine (EPROM, RAM) wird angesprochen. Das Signal SR/-KOMBI- ist für eine spätere Erweiterung des Systems vorgesehen.

Wie bereits erwähnt, ist ab dieser Baugruppe möglich, die Baudrate für den USART von 9600 Bd bis 300 Bd einzustellen. Aus diesem Grunde wurde die Quarzfrequenz von 9.8304 MHz auf 4.9152 MHz reduziert. Zusätzlich wurde die Brücke z geschaffen, die dann entsprechend offen oder geschlossen mit den Brücken a, b und c die in der nachfolgenden Tabelle enthaltenen Baudraten liefert. Die Standarteinstellung (4800 Bd) ist mit einem (*) gekennzeichnet.

Brücke geschlossen	offen	Baudrate (*16)	(*64)	
*	a	b;c;z	9600	2400
	b	a;c;z	4800	1200
	c	a;b;z	2400	600
	z	a;b;c	1200	300

Steckerbelegungsplan CPU-IIISteckerreihe (a)

Pin	Signal	Erklärung
01	+5V	
02	0V	
03	+12V	
04	0V	
05	-12V	
06	0V	
07	S0	Statussignal S0
08		frei
09	-ADR0-	Adressenbus
10	-ADR1-	Adressenbus
11	-ADR2-	Adressenbus
12	-ADR3-	Adressenbus
13	-ADR4-	Adressenbus
14	-ADR5-	Adressenbus
15	-ADR6-	Adressenbus
16	-ADR7-	Adressenbus
17	-ADR8-	Adressenbus
18	-ADR9-	Adressenbus
19	-ADR10-	Adressenbus
20	-ADR11-	Adressenbus
21	-ADR12-	Adressenbus
22	-ADR13-	Adressenbus
23	-ADR14-	Adressenbus
24	-ADR15-	Adressenbus
25	-DAT0-	Datenbus 0
26	-DAT1-	Datenbus 1
27	-DAT2-	Datenbus 2
28	-DAT3-	Datenbus 3
29	-DAT4-	Datenbus 4
30	-DAT5-	Datenbus 5
31	-DAT6-	Datenbus 6
32	-DAT7-	Datenbus 7

Steckerreihe (b)

Pin	Signal	Erklärung
33	+5V	
34	0V	
35	+12V	
36	0V	
37	-12V	
38	0V	
39	UHR	Uhrentakt vom Netzteil
40	S1	Statussignal S1
41	-MEMR-	Memory Read
42	-MEMW-	Memory Write
43	-IOR-	IN/OUT Read
44	-IOW-	IN/OUT Write
45	-INTA-	Interrupt Acknowledged
46	-RESET-	RESET
47	-RST-	Reset intern
48	-READY-	Ready
49		frei
50	-HOLD-	Hold Request
51	-HLDA-	Hold Acknowledged
52		frei
53	-Ø2-	CPU-Takt (3 MHz)
54	-STSTB-	Status Strobe (ALE)
55	-IO/-M--	I/O-Memory Signal
56	-INT-	Interrupt (request)
57	-IR0-	Interrupt 0
58	-IR1-	Interrupt 1
59	-IR2-	Interrupt 2
60	-IR3-	Interrupt 3
61	-IR4-	Interrupt 4
62	-IR5-	Interrupt 5
63	-IR6-	Interrupt 6
64	-IR7-	Interrupt 7

Steckerreihe (c)

Pin	Signal	Erklärung
65	SID	Serial Input Data Line
66	SOD	Serial Output Data Line
67		frei
68		frei
69		frei
70		frei
71	SR/-KOMBI-	Speicher- Kombiumschalt.
72	PAGEO	Seitenumschaltung
73		frei
74	RTS0	Request to Send 0
75	CTS0	Clear to Send 0
76	DTR0	Data Terminal Ready 0
77	DSR0	Data Set Ready 0
78	-TxDO-	Transmitted Data 0
79	-RxD0-	Received Data 0
80	S4/0	Steuerleitung
81	M5/0	Steuerleitung
82	RTS1	Request to Send 1
83	CTS1	Clear to Send 1
84	DTR1	Data Terminal Ready 1
85	DSR1	Data Set Ready 1
86	-RxD1-	Received Data 1
87	-TxD1-	Transmitted Data 1
88	RxC1	Receiver Clock 1
89	TxC1	Transmitter Clock 1
90	S4/1	Steuerleitung
91	M5/1	Steuerleitung
92		frei
93	-RST5.5-	Restart 5.5
94	-RST6.5-	Restart 6.5
95	-RST7.5-	Restart 7.5
96	-TRAP-	TRAP