

MFDE-CONTR. "D" CAVC01

Inhaltsverzeichnis

Allgemeiner Überblick über die Floppy-Controller-Baugruppe	3
Die Kartenadresse	3
Die Registeradressen	5
Die Information der einzelnen Register	6
Das Commandregister	6
Das Statusregister	7
Das Interface-Befehlsregister	8
Bit-Bedeutung des Interface-Befehlsregisters	8
Das Interface-Statusregister	9
Die Brückenbelegungsliste	11
Die Schnittstellen der Floppy-Controller-Baugruppe	13
Die Schnittstelle zum alphaTronic-Bus	13
Die Schnittstelle zum Floppy-Laufwerk	14
Kurzbeschreibung des Floppy-Disk-Controllers FD 1791	15
Die Takterzeugung	21
Die Funktion der Step- und Head-Load-Monoflops	22
Das Head-Load-Monoflop	22
Das Step-Monoflop	23
Die Funktionsbeschreibung der Datentrennstufe	24
Der Abgleich der PLL-Schaltung	26

Die Wait-State-Erzeugung	27
Die Stromaufnahme der Floppy-Controller-Baugruppe	29
Steckerbelegungsliste	30
Schaltbild	33
Bestückungsplan	37
Blockschaltbild der Floppy-Controller-Baugruppe	38
Literaturverzeichnis	39

Allgemeiner Überblick über die Floppy-Controller-Baugruppe

Die Floppy-Controller-Baugruppe CAVC 01 ist eine Peripherie-Controller-Einheit, die am alphaTronic-Systembus arbeitet. Die Elektronik befindet sich auf einer Einfach-Europa-Karte. Zur Verbindung mit dem alphaTronic-Systembus verfügt die Baugruppe über eine 96polige Steckerleiste.

Die Floppy-Controller-Baugruppe CAVC 01 ermöglicht die Ansteuerung von maximal drei Einfach- oder Doppelkopf-Minifloppy-Laufwerken. Die Datenaufzeichnung in den angeschlossenen Laufwerken erfolgt auf soft-sektorierten Disketten im IBM 34-Format.

Die Controller-Baugruppe eignet sich zur Ansteuerung von Minifloppys der Firma BASF (Typ 6106, 6108) oder ähnlicher Typen.

Als Controller wird auf dieser Baugruppe der Floppy-Disk-Formatter/Controller FD 1791 der Firma Western Digital eingesetzt.

Die Kartenadresse

Die Floppy-Controller-Karte wird durch I/O-Adressen selektiert. Die Kartenadresse läßt sich mit dem 4poligen Schalter SCH.1 und über die Lötbrücken y und z einstellen.

Anstelle des Schalters SCH.1 können auch die den jeweiligen Schalterkontakten entsprechenden Lötbrücken 1 bis 4 vorhanden sein.

Im alphaTronic-Computersystem ist der Floppy-Controller-Karte der I/O-Adreßbereich von hexadezimal 50 bis 57 fest zugewiesen. Um diesen Adreßbereich ansprechen zu können müssen die Schalter und (oder) Lötbrücken, wie auf der folgenden Seite angegeben, eingestellt sein.

Schalterkontakt oder Lötbrücke	on geschl.	off offen	Erklärung
1	X		ADR3 muß 0 sein
2		X	ADR4 muß 1 sein
3	X		ADR5 muß 0 sein
4		X	ADR6 muß 1 sein

Mit den Lötbrücken y und z läßt sich der I/O-Adreßbereich teilen.

Brücke	geschl.	offen	Erklärung
y	X		Adreßbereich 0 bis hex. 127 (Kaschierung)
z		X	
y		X	Adreßbereich hex.128 bis hex. 255
z	X		

Die Floppy-Controller-Baugruppe belegt den hexadezimalen Adreßbereich von 50 bis 57. Wie die Tabelle auf der folgenden Seite zeigt, werden zur Adressierung der Register nur die Adressen von 50 bis 54 benötigt. Die Adressen von 55 bis 57 haben auf der Floppy-Controller-Karte keine Bedeutung. Diese Adressen dürfen jedoch nicht für sonstige Zwecke verwendet werden.

Die Registeradressen

Die folgende Tabelle gibt die I/O-Adressen der Register und Buffer auf der Minifloppy-Controller-Baugruppe für den werkseitig eingestellten Adreßbereich an. Die Adresse setzt sich zusammen aus der Basisadresse (hexadezimal 50) und der Relativadresse von 0 bis 7 (Adreßbit A0 bis A2).

Hexadez. Adresse	Schreiben	Lesen	Erklärung
50	X		Befehle in das Commandregister des 1791 einschreiben
50		X	Statusregister des 1791 lesen
51	X		Spurnummerregister des 1791 beschreiben
51		X	Spurnummerregister des 1791 lesen
52	X		Sektornummerregister des 1791 beschreiben
52		X	Sektornummerregister des 1791 lesen
53	X		Daten in Datenregister des 1791 schreiben
53		X	Daten aus Datenregister des 1791 lesen
54	X		Interface-Befehlsregister, gebildet aus IC 25 u. IC 30 (74LS367), beschreiben
54		X	Interface-Statusregister, gebildet aus IC 24 u. IC 29 (74LS367), lesen

Die Information der einzelnen Register

Das Commandregister

Das Commandregister ist das Befehlsregister des Controllers FD 1791. In dieses Register muß der Code für alle Befehle geschrieben werden, die der Controller ausführen soll.

Hex. Wert	Bedeutung
01	restore (Laufwerk in Grundstellung)
1D	seek
19	seek ohne verify
59	step in
79	step out
88	schnell lesen
8C	IBM-Format lesen
A8	schnell schreiben valid
AB	schnell schreiben delete
AC	schreiben data valid
AF	gelöschte Daten schreiben
E6	Spur lesen
F4	Spur schreiben

Das Statusregister

Über das Statusregister des Floppy-Controllers FD 1791 lassen sich die verschiedenen Zustände abfragen.

Jedes Bit dieses 8-Bit-Registers wird als Flag für einen bestimmten Zustand verwendet. Einige Bits haben bei verschiedenen Kommandos unterschiedliche Bedeutung. Die Aussage der einzelnen Bits gibt die nachfolgende Tabelle wieder.

Bit	Erklärung
b7	Laufwerk nicht bereit
b6 u. b5	Record Type Mask
b6	Schreibschutz
b4	Record not found
b3	CRC-Fehler
b2	Lost Data oder Track 00
b1	Data Request
b0	Busy

Das Interface-Befehlsregister

Über das Interface-Befehlsregister erfolgt die Selektion eines der drei möglichen Laufwerke. Falls Doppelkopf-Laufwerke angeschlossen sind, wird hierüber auch die Auswahl des jeweiligen Schreib-/Lesekopfes getroffen.

Hex. Wert	Erklärung
64	Laufwerk 1, Seite 0
60	Laufwerk 1, Seite 1
A4	Laufwerk 2, Seite 0
A0	Laufwerk 2, Seite 1
C4	Laufwerk 3, Seite 0
C0	Laufwerk 3, Seite 1

Bit-Bedeutung des Interface-Befehlsregisters

Bit	Erklärung
b7	b7 = "0" selektiert Laufwerk 1 (-SEL1--Signal hat Low-Pegel)
b6	b6 = "0" selektiert Laufwerk 2 (-SEL2--Signal hat Low-Pegel)
b5	b5 = "0" selektiert Laufwerk 3 (-SEL3--Signal hat Low-Pegel)

Bit	Erklärung
b4	b4 = "0" Motore der Laufwerke werden (bleiben) eingeschaltet. b4 = "1" Motore der Laufwerke werden ausgeschaltet. Nach Reset wird das -MOTOR ON--Signal automatisch aktiv.
b3	b3 = "0" aktiviert das -SOFTW INTL--Signal (nicht in alphaTronic).
b2	b2 = "0" selektiert Laufwerkseite 1 -SIDE SEL--Signal hat Low-Pegel. b2 = "1" selektiert Laufwerkseite 0 -SIDE SEL--Signal hat High-Pegel.
b1	b1 = "0" sperrt die Unterbrechungsanforderung. INTEN-Signal hat Low-Pegel. b1 = "1" gibt die Unterbrechungsanforderung frei. INTEN-Signal hat High-Pegel.
b0	b0 = "0" sperrt den Master-Reset, High-Pegel am -MR--Signal. b1 = "1" setzt den Floppy-Controller über den -MR--Eingang zurück. Low-Pegel am -MR--Signal. Durch Drücken der Reset-Taste nimmt das -MR--Signal Low-Pegel an.

Das Interface-Statusregister

Über dieses zusätzliche Register läßt sich der Zustand des Floppy-Controllers und der Laufwerke abfragen. Die Bedeutung der einzelnen Bits gibt die folgende Tabelle wieder.

Bit	Erklärung
b7	Data Request
b6	Interrupt Request
b5	HLD (Kopfladebefehl)
b4	Disk Change (nicht in alphaTronic)
b3	nicht verwendet
b2	Schreibschutz
b1	HLT (Kopfberuhigungszeit abgelaufen)

Die Brückenbelegungsliste

Die Brücken a, b, d und f dienen reinen Testzwecken. Diese Brücken müssen im normalen Betrieb wie folgt ausgeführt sein:

Brücke b, d, f geschlossen
 Brücke a offen

Brücke(n)	geschl.	offen	Erklärung
j, k	X		Schreib-/Lesekopf wird über FD 1791 aktiviert S T A N D A R D B E L E G U N G
h, m		X	
j, k		X	Die Aktivierung des Schreib-/ Lesekopfes erfolgt bei Selekt- tierung eines Laufwerkes.
h, m	X		
n	X		Diskettenwechsel über Programm abfragbar (Option) S T A N D A R D B E L E G U N G
o		X	
n		X	Klappenverriegelung über Pro- gramm steuerbar (falls Drive dafür geeignet)
o	X		
y	X		Adreßbereich 0 - 127 hex. S T A N D A R D B E L E G U N G
z		X	
y		X	Adreßbereich 128 - 255 hex.
z	X		

Brücke(n)	geschl.	offen	Erklärung
β		X	Drive erzeugt Bereitschafts-signal (Ready-Signal vom Drive) S T A N D A R D B E L E G U N G
β	X		Drive wird immer als bereit an- genommen
p, q, r		X	Interrupt-Level-Festlegung nur eine Brücke darf geschlos- sen sein (nicht in alphaTronic) S T A N D A R D B E L E G U N G
s, t, u		X	
v, w		X	
1, 3	X		Einstellung der Kartenadresse auf 50 - 57 hex. (zusammen mit den Brücken y und z) S T A N D A R D B E L E G U N G
2, 4		X	
5, 6		x	Abgleich der PLL-Stufe, schließen nach Bedarf, siehe Abgleichvorschrift für PLL
7, 8		X	

Die Schnittstellen der Floppy-Controller-Baugruppe

Die Schnittstelle zum alphaTronic-Systembus

Die Signale von und zum alphaTronic-Systembus werden über die a- und b-Reihe der Steckerleiste übertragen. Die Stifte der a- und b-Reihe werden mit Pin 100 bis 162 bezeichnet.

Die Adreßleitungen

Die Adreßleitungen -ADRO- bis -ADR2- (Pin 109 bis 111) werden über invertierende Gatter in IC 08 (74LS368) vom Bus entkoppelt. Der Freigabeeingang dieses ICs, der die Ausgänge der für die Signale -ADRO- bis -ADR2- verwendeten Gatter steuert, ist auf Low-Pegel gelegt. Diese Gatter arbeiten somit als normale Inverter. Die invertierten Signale -ADRO- und -ADR1- sind mit A0 und A1 bezeichnet.

Die Adreßleitungen -ADR3- bis -ADR6- (Pin 112 bis 115) werden über Schmitt-Trigger vom Systembus entkoppelt.

Das -ADR7--Signal liegt direkt am "A=B"-Eingang des Comperator-ICs (IC 18, Pin 3) an.

Die Steuerleitungen

Die Steuer- und Signalleitungen, die zum Betrieb der Floppy-Controller-Baugruppe erforderlich sind, werden durch Gatter vom Systembus entkoppelt. Diese Gatter erfüllen teilweise auch logische Funktionen.

Die Signale -IOR- und -IOW- (Pin 143 und 144) sind zur Erhöhung der Betriebssicherheit über 1kOhm Widerstände (R4 und R11) mit +5 Volt Potential verbunden.

Das -RST--Signal (Pin 147) ist, ebenfalls zur Erhöhung der Betriebssicherheit, über R20 (5,6 kOhm) mit +5 Volt verbunden.

Die Datenleitungen

Die Datenleitungen -DAT0- bis -DAT7- (Pin 125 bis 132 der Steckerleiste) werden über zwei invertierende bidirektionale Bustreiber vom Typ 8216 (IC 23 und 28) entkoppelt. Die Treiber verfügen über einen Steuereingang für die Datenflußrichtung (Pin 15) und einen Chip-Select- Eingang (Pin 1). Die Richtungssteuerung der Treiber erfolgt über das IOR-Signal. Die Bausteinfreigabe über das Chip-Select-Signal erfolgt dann, wenn das niederwertige Adreßbyte einen Hexadezimalwert zwischen 50 und 57 annimmt. Die beiden Datentreiber werden somit bei I/O- und Memory-Adressen selektiert. Durch die Richtungssteuerung mit dem IOR-Signal kann von der Controller-Baugruppe jedoch nur bei I/O-Adressen im Bereich von hexadezimal 50 bis 57 gelesen werden.

Die Schnittstelle zum Floppy-Laufwerk

Die Schnittstellensignale der Floppy-Controller-Baugruppe von und zu den Floppy-Laufwerken werden über die c-Reihe der Steckerleiste übertragen. Die Stifte der c-Reihe werden mit Pin 165 bis 196 bezeichnet.

Die Schnittstelle der Floppy-Controller-Baugruppe zum Laufwerk wird aus Gattern mit Open-Collector-Ausgängen gebildet. Verschiedene dieser Gatter arbeiten als Inverter. Die Pull-Up-Widerstände an diesen Leitungen haben einen Wert von 150 Ohm. Diese Widerstände sind auf dem Laufwerk angeordnet, welches am Ende des 34adrigen Floppy-Signalkabels steckt. Dieses Laufwerk besitzt in der alphaTronic die Adresse 2. Die Pull-Up-Widerstände sind als steckbares IC-Netzwerk ausgeführt. Bei alphaTronic-Systemen mit zwei Laufwerken darf das untere Laufwerk (Adresse 1) kein solches Widerstandsnetzwerk besitzen. alphaTronic-Systeme mit nur einem Laufwerk müssen unbedingt dieses Widerstandsnetzwerk besitzen, da sonst kein Betrieb mit dem Floppy-Laufwerk möglich ist.

Alle Schnittstellensignale, die von den Laufwerken kommen, werden auf der Floppy-Controller-Baugruppe über Pull-Up-Widerstände von 150 Ohm abgeschlossen.

Kurzbeschreibung des Floppy-Disk-Controllers FD 1791

Der Floppy-Disk-Controller FD 1791 ist zur Ansteuerung von Laufwerken mit Soft-Sektorierung entwickelt. Der Baustein arbeitet bei Double Density Aufzeichnungen (MFM) nach IBM 34.

Das folgende Bild gibt die Pin-Belegung des FD 1791 in der Draufsicht wieder.

NC	1	40	Vdd (+12V)
-WE-	2	39	INTRQ
-CS-	3	38	DRQ
-RE-	4	37	-DDEN-
AO	5	36	-WPRT-
A1	6	35	-IP-
-DAL0-	7	34	-TR00-
-DAL1-	8	33	-WF-
-DAL2-	9	32	READY
-DAL3-	10	31	WD
-DAL4-	11	30	WG
-DAL5-	12	29	TG43
-DAL6-	13	28	HLD
-DAL7-	14	27	-RAW READ-
STEP	15	26	RCLK
DIRC	16	25	RG
EARLY	17	24	CLK
LATE	18	23	HLT
-MR-	19	22	-TEST-
(GND) Vss	20	21	Vcc (+5V)

Die folgende Tabelle gibt in einer Kurzform die Bedeutung der einzelnen Pins des Floppy-Controller-Bausteines FD 1791 wieder. Die Anschlüsse werden so beschrieben, wie sie in der alphaTronic verwendet werden.

Signal	Pin	Erklärung
Vss	20	Masse (0 Volt)
Vcc	21	+5 Volt +/- 5%
Vdd	40	+12 Volt +/- 5 %
-MR-	19	-MASTER RESET- Low-Pegel an diesem Eingang setzt die Funktion des Bausteines zurück. Das Commandregister wird mit 03 hex geladen. Nachdem das Signal an diesem Eingang wieder High-Pegel hat, wird ein Restore-Befehl ausgeführt und das Sektorregister mit 01 hex geladen.
-DAL0- -DAL1- -DAL2- -DAL3- -DAL4- -DAL5- -DAL6- -DAL7-	7 8 9 10 11 12 13 14	-DATA ACCESS LINES- Acht invertierende Datenleitungen zur Übertragung von Daten, Control- und Statuswörtern.
-CS-	3	-CHIP SELLECT- Low-Pegel an diesem Eingang selektiert den Baustein.

Signal	Pin	Erklärung																				
A0 A1	5 6	<p>REGISTER SELECT LINES</p> <p>Über diese beiden Adreßleitungen wird das Register selektiert, welches über die -DAL0- bis -DAL7--Leitungen senden oder empfangen soll.</p> <table border="0"> <tr> <td>A1</td> <td>A0</td> <td>Read</td> <td>Write</td> </tr> <tr> <td>0</td> <td>0</td> <td>Status Reg.</td> <td>Command Reg.</td> </tr> <tr> <td>0</td> <td>1</td> <td>Track Reg.</td> <td>Track Reg.</td> </tr> <tr> <td>1</td> <td>0</td> <td>Sektor Reg.</td> <td>Sektor Reg.</td> </tr> <tr> <td>1</td> <td>1</td> <td>Data Reg.</td> <td>Data Reg.</td> </tr> </table>	A1	A0	Read	Write	0	0	Status Reg.	Command Reg.	0	1	Track Reg.	Track Reg.	1	0	Sektor Reg.	Sektor Reg.	1	1	Data Reg.	Data Reg.
A1	A0	Read	Write																			
0	0	Status Reg.	Command Reg.																			
0	1	Track Reg.	Track Reg.																			
1	0	Sektor Reg.	Sektor Reg.																			
1	1	Data Reg.	Data Reg.																			
-RE-	4	<p>-READ ENABLE-</p> <p>Bei Low-Pegel am -RE- und -CS--Eingang werden Daten aus dem adressierten Register über die DAL-Leitungen gelesen.</p>																				
-WE-	2	<p>-WRITE ENABLE-</p> <p>Bei Low-Pegel am -WE- und -CS--Eingang werden Daten in das adressierte Register über die DAL-Leitungen geschrieben.</p>																				
DRQ	38	<p>DATA REQUEST</p> <p>Dieser Open-Collector-Ausgang zeigt an, daß das Datenregister nach einer Leseoperation aufbereitete Daten enthält. Bei einer Schreiboperation zeigt dieser Ausgang an, daß das Datenregister leer ist und somit neue Daten benötigt werden. Dieser Ausgang ist über einen 10 kOhm Widerstand auf +5 Volt gelegt.</p>																				
INTRQ	39	<p>INTERRUPT REQUEST</p> <p>Dieser Open-Collector-Ausgang zeigt an, daß eine Operation ausgeführt oder abgebrochen wurde. Dieser Ausgang ist über einen 10 kOhm Widerstand auf +5 Volt gelegt.</p>																				
CLK	24	<p>CLOCK</p> <p>Eingang für den externen Takt. (1 MHz bei Minifloppy)</p>																				

Signal	Pin	Erklärung
RG	25	<p>READ GATE High-Pegel an diesem Ausgang zeigt dem Datenseperator an, daß ein Feld von Nullen oder Einsen erkannt wurde. Dieses Signal wird zur Synchronisation benötigt.</p>
WD	31	<p>WRITE DATA An diesem Ausgang steht bei MFM-Aufzeichnungen ein 250 nsec breiter Impuls je Information an.</p>
RCLK	26	<p>READ CLOCK An diesem Eingang liegt während einer Leseoperation ein Rechtecktakt an. Der Takt wird aus den Lesedaten gewonnen, die mit dem Schreibtakt auf der Diskette aufgezeichnet wurden. Die Polarität dieses Taktes ist ohne Bedeutung. Wichtig ist jedoch die Phasenlage zum -RAW READ--Signal.</p>
-RAW READ-	27	<p>-RAW READ- Eingang für die Lesedaten vom Laufwerk. Die unseparierten Daten werden in der Datentrennstufe aufbereitet und dem Controller als -RAW READ--Signal zugeführt. Jeder magnetische Flußwechsel auf der Diskette, der gelesen wird, muß als negativer Impuls an diesem Eingang anstehen.</p>
HLD	28	<p>HEAD LOAD Dieser Ausgang bewirkt das Laden (anziehen) des Schreib-/Lesekopfes.</p>
HLT	23	<p>HEAD LOAD TIMING Bei High-Pegel an diesem Eingang nimmt der Controller an, daß der Schreib-/Lesekopf angezogen ist.</p>

Signal	Pin	Erklärung
STEP	15	STEP High-Pegel steuert den Steppermotor des Floppy-Laufwerkes an. Abhängig vom Pegel am DIRC-Eingang wird der Schreib-/Lesekopf nach außen (Spur 00) oder innen (Spur 39) bewegt. H-Pegel an DIRC --> stepp in L-Pegel an DIRC --> stepp out
DIRC	16	DIRECTION Siehe Erklärung bei STEP
EARLY	17	EARLY Die EARLY- und LATE-Ausgänge dienen zur Steuerung der Datenvor- und nachkompensation bei Standard-Floppys. Wird bei der alphaTronic nicht verwendet.
LATE	18	LATE Siehe bei EARLY Wird bei der alphaTronic nicht verwendet.
TG43	29	TRACK GREATER THAN 43 Ausgang zur Steuerung eines verminderten Schreibstromes bei Spuren größer 43, (bei Standard-Floppy). Wird bei der alphaTronic nicht verwendet.
WG	30	WRITE GATE Dieser Ausgang ist nur bei Schreiboperationen gültig.
READY	32	READY Eingang für die Bereitmeldung des Floppy-Drives. Bei Low-Pegel wird das Drive als nicht bereit erkannt.
-WF-	33	-WRITE FAULT- Dieser Eingang erkennt Schreibfehlermeldungen des Drives durch eine 1/0-Flanke während WG High-Pegel hat. Dieser Eingang wird im Modell alphaTronic nicht verwendet und liegt über R16 auf High-Pegel.

Signal	Pin	Erklärung
-TR00-	34	-TRACK 00- Eingang für die Spur-Null-Meldung des Drives. Bei Low-Pegel an diesem Eingang steht der Schreib-/Lesekopf über Spur 00.
-IP-	36	-INDEX PULSE- Ein Low-Pegel von mindestens 10 μ sec zeigt dem Controller über diesen Eingang an, daß das Index-Loch erkannt wurde. Die Diskette dreht sich in Minifloppy-Laufwerken 300mal in der Minute. Daraus ergibt sich, daß bei eingelegter und rotierender Diskette der Index-Impuls alle 200 msec auftritt.
-WPRT-	37	-WRITE PROTECT- Low-Pegel an diesem Eingang zeigt dem Controller an, daß die Diskette schreibgeschützt ist. Vor jeder Schreiboperation wird dieser Eingang abgefragt.
-DDEN-	37	-DOUBLE DENSITY ENABLE- Über diesen Eingang wird die Auswahl getroffen, ob Double- oder Single-Density-Disketten bearbeitet werden sollen. -DDEN- = "0" ==> double density -DDEN- = "1" ==> single density Dieser Eingang liegt bei der alphaTronic auf Low-Pegel.
-TEST-	22	-TEST- Dieser Eingang wird nur für Baustein-testzwecke verwendet und muß im normalen Betrieb auf High-Pegel liegen. Dieser Eingang liegt über R16 auf High.

Die Takterzeugung

Der Floppy-Controller FD 1791 benötigt für den Betrieb von Double-Density-Floppys einen Takt mit einer Frequenz von 1 MHz am CLK-Eingang (IC 20, Pin 24).

Mit einem quarzgesteuerten VCO-Baustein vom Typ MC 4024 (IC 10) wird ein Takt von 4 MHz (an Pin 6) gewonnen. VCO heißt voltage controlled oscillator (spannungsgesteuerter Oszillator). Die Eigenschaft eines spannungsgesteuerten Oszillators ist für diesen Einsatzzweck nicht erforderlich. Aus diesem Grund wird der Steuerspannungseingang (IC 10, Pin 2) über einen Spannungsteiler auf eine Spannung von ungefähr 4 Volt gelegt.) Der Spannungsteiler wird gebildet aus einem Widerstand von 3,9 k Ω gegen +5 Volt und einem Widerstand von 6,8 k Ω gegen Massepotential.

Die zwei Flipflops in IC 04 (74LS74) teilen den 4 MHz Takt auf 1 MHz herunter. An Pin 8 und 9 von IC 04 steht ein Takt von 2 MHz an, der gegeneinander um 180 Grad phasenverschoben ist. An Pin 5 und 6 des gleichen ICs liegt ein Takt von 1 MHz an, der auch um 180 Grad gegeneinander verschoben ist.

Die Preset- und Clear-Eingänge der beiden Flipflops (IC 04, Pin 4, 10 , 1, 13) liegen fest auf High-Potential.

Die Funktion der Step- und Head Load-Monoflops

Wenn der Floppy Controller FD 1791 den Befehl zum Neupositionieren und Aufsetzen des Kopfes gibt, müssen die mechanischen Reaktionszeiten berücksichtigt werden.

Mit Hilfe monostabiler Kippstufen werden für einen Spurwechsel 37 msec und für das Kopfaufsetzen 54 msec Intervalle erzeugt. Der Ablauf dieser Zeiten wird über den HLT-Eingang abgefragt. Erst danach kann ein Schreib- oder Lesezugriff auf die Diskette erfolgen.

Das Head-Load-Monoflop

Der Schreib-/Lesekopf des selektierten Floppy-Disk-Drives wird durch Low-Pegel des -HEAD LOAD--Signals dazu veranlaßt sich gegen das Aufzeichnungsmedium anzulegen. Dieses geschieht durch Anziehen des Head-Load-Magneten im Floppy-Laufwerk. Der Einschwingvorgang, der beim Anziehen des Kopfes auftritt, wird durch Starten eines Monoflops abgewartet. Der Floppy-Controller fragt über den HLT-Eingang (IC 20, Pin 23) nach dem Aktivieren des HLD-Signals (Kopf anziehen) ab, ob die Kopfberuhigungszeit abgewartet wurde.

Das HLD-Signal des Floppy-Controllers wird über einen Inverter in IC 09 und ein als Inverter arbeitendes NOR-Gatter in IC 14 (74LS27) über ein NAND-Gatter in IC 03 mit dem READY-Signal des Laufwerkes verknüpft. Das Laufwerk teilt der Controller-Baugruppe über die READY-Leitung seine Bereitschaft mit. Wenn das READY-Signal High-Pegel hat und das HLD-Signal aktiviert wird, nimmt der Ausgang von IC 03 / Pin 3 Low-Pegel an. Die 1/0-Flanke dieses Signals startet ein Monoflop in IC 12 (74LS123) über den Setzeingang Pin 9. Die Monozeit, das ist die Zeit, für die der Ausgang Q an Pin 5 High-Pegel annimmt, wird bestimmt durch die RC-Kombination an Pin 6 und 7 dieses ICs. Die Monozeit beträgt, bedingt durch die Werte von R18 (12 kOhm) und C4 (15 µF), etwa 54 msec.

Der zweite Setzeingang (Pin 10) dieses Monoflops, der mit dem Setzeingang an Pin 9 logisch verknüpft ist, liegt auf High-Pegel. Der Clear-Eingang wird in dieser Anwendung nicht benötigt und liegt deshalb auch auf High-Pegel.

Der Q-Ausgang dieses Monoflops ist zusammen mit dem Q-Ausgang (Pin 13) des Step-Monoflops über ein NOR-Gatter zum HLT-Signal verknüpft. Das HLT-Signal nimmt dann Low-Pegel an, wenn mindestens einer dieser beiden Monoflop-Ausgänge High-Pegel hat.

Das Step-Monoflop

Nach jedem Positionieren des Schreib-/Lesekopfes über einer ausgewählten Spur treten Schwingungen auf. Diese müssen erst abgewartet werden, bis mit dem Floppy-Laufwerk weitergearbeitet werden kann. Diese Zeit wird, ähnlich wie im vorherigen Abschnitt beschrieben, durch Starten eines Monoflops abgewartet.

Die 1/0-Flanke des -STEP--Signals startet ein zweites, in IC 12 enthaltenes Monoflop über Pin 1. Die Monozeit wird bestimmt durch R7 (8,2 kOhm) und C3 (15 μ F). Mit diesen Werten ergibt sich eine Monozeit von etwa 37 msec während der Q-Ausgang (Pin 13) dieses Monoflops High-Pegel annimmt. Der zweite Setzeingang (Pin 2) und der Clear-Eingang (Pin 3) dieses Monoflops werden nicht benötigt und liegen zusammen mit weiteren Eingängen über R6 (1kOhm) auf High-Pegel.

Der Ausgang dieses Monoflops ist, zusammen mit dem Ausgang des Head-Load-Monoflops, über ein NOR-Gatter (IC 14) miteinander zum HLT-Signal verknüpft. Das HLT-Signal nimmt dann Low-Pegel an, wenn mindestens einer dieser beiden Monoflop-Ausgänge High-Pegel hat.

Die Funktionsbeschreibung der Datentrennstufe

Vom Floppy-Laufwerk kommen über die -READ DATA--Leitung Daten- und Clockimpulse. Um die Daten richtig erkennen zu können, müssen die beiden Signale im Controller getrennt (separiert) werden. Die Datentrennstufe erzeugt hierzu die nötigen Signale -RAW READ- und -RAW CLOCK-.

Das Signal -RAW READ- stellt dabei gewissermaßen ein Fenster dar, mit dem die Datenimpulse aus dem Signal -RAW READ- im Controller ausgeblendet werden können.

Bedingt durch Diskettentoleranzen, Änderung der Flußwechselfichte von Spur 00 bis 39, Kopfabmessungen und mechanische Toleranzen (z.B. Umdrehungsgeschwindigkeit), können die zeitlichen Impulsabstände im Signal -READ DATA- erheblich um ihren Nennwert schwanken. Dies würde, wie leicht ersichtlich, bei der Ausblendung häufig zu Fehlern führen. Daher wird das Ausblendsignal -RAW CLOCK- mit Hilfe eines Regelkreises dem Signal -READ DATA- nachgeführt. Die zeitlichen Schwankungen können dadurch in einem großen Bereich kompensiert werden.

Die Schaltung im einzelnen:

Die READ DATA-Impulse gelangen über PIN 172 an Flipflop 21. Sie sind etwa 0,5 μ sec breit, der Abstand beträgt bei MFM 4, 6 oder 8 μ sec. In FF 21 (IC 21) wird das -READ DATA-- Signal auf den VCO-Takt (IC 32, Pin 6) einsynchronisiert und in der Länge auf einen VCO-Takt begrenzt (Nennwert 0,25 μ sec). Der Ausgang bildet das -RAW READ--Signal.

Aus RAW READ wird mit Hilfe des FF 15 (IC 15) und des Zählers (IC 27) das Referenzsignal für den Regelkreis erzeugt. Dieses Signal erscheint bei jedem RAW READ-Impuls und ist 4 VCO-Takte lang. Es geht auf den R-Eingang des Phasenvergleichers (IC 31, Pin 1) vom Regelkreis.

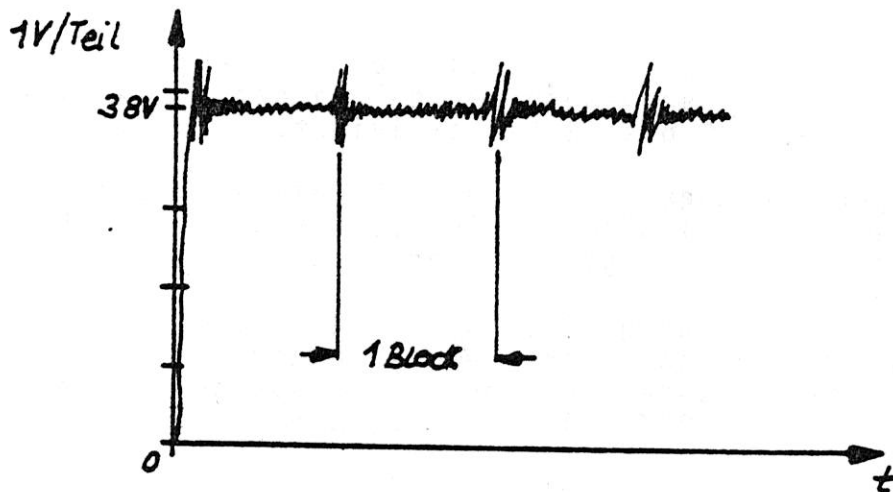
Der Regelkreis besteht aus dem Phasenvergleichler (IC 31), dem VCO (IC 32), einem Zähler (IC 22), einem Flipflop-IC (IC 16), sowie Teilen von IC 5, 6 und 3. Zu Beginn einer Leseoperation erfolgt die sogenannte Einsynchronisation des Regelkreises. Hierzu wird der VCO-Takt im Zähler (IC 22) 16 mal hochgezählt (Nennwert der Taktperiodendauer: 4 μ sec) und in dieser Phase direkt an den zweiten Eingang des Phasenvergleichlers (IC 31, Pin 3) gelegt. Das Ausgangssignal dieses Phasenvergleichlers wird integriert. Mit diesem Signal wird der VCO-IC (IC 32, PIN 2) angesteuert.

Parallel hierzu geht das Ausgangssignal des Zählers IC 22 als ROW CLOCK an den Controller. Sobald dieser eine Folge von "00" oder "FF" (Synchronisationsfeld) erkannt hat, ist RAW READ mit RAW CLOCK synchron. Der Controller setzt das RG-Signal auf High-Pegel und schaltet über das Flipflop in IC 11 den Regelkreis zu. Das Ausgangssignal geht über die zwei Flipflops in IC 16. Je nach Lage von RAW READ und RAW CLOCK wird ein Vergleichsimpuls von unterschiedlicher Länge erzeugt und zur Regelung verwendet.

Der Nennwert des ROW CLOCK-Signals beträgt 4 μ sec. Das Fenster hat die halbe Länge von ROW CLOCK und ist somit 2 μ sec lang. Die RAW READ-Impulse sind 0,25 μ sec breit. Die Taktimpulse des RAW READ-Signals liegen genau in der Mitte vom Fenster, welches aus dem ROW CLOCK-Signal gebildet wird. Die Toleranz des Fensters beträgt +/-1 μ sec.

Der Abgleich der PLL-Stufe

Um ein einwandfreies Lesen von den Floppy-Laufwerken zu ermöglichen muß die PLL-Stufe, welche den für die Daten-separierung erforderlichen Takt erzeugt, richtig abgeglichen sein. Hierzu ist, während das Floppy-Test-Programm im Lese-Modus arbeitet, die Regelspannung für den VCO-Oszillator am Testpunkt TP zu messen. Diese Regelspannung muß einen typischen Wert von 3,8 Volt haben. Die maximal zulässige Abweichung von diesem Wert beträgt $\pm 0,2$ Volt. Einstellen läßt sich diese Spannung über die Brücken 5 bis 8. Abhängig davon, ob die Spannung am Testpunkt kleiner oder größer dem Sollwert ist, müssen diese Brücken geöffnet oder geschlossen werden.



Das Bild zeigt ein Oszillogramm der Regelspannung an Testpunkt TP.

Die Wait-State-Erzeugung

Wenn Daten aus dem Floppy-Controller-Baustein 1791 (IC 20) gelesen werden sollen, so muß ein Wait-Zyklus eingefügt werden. Dieser Wartezyklus ermöglicht der 8085-CPU auch die Kommunikation mit langsameren Peripheriebausteinen.

Die Erzeugung eines Wait States erfolgt dadurch, daß zum Zeitpunkt der 0/1-Flanke des CPU-T2-Zyklus das RDY-Signal auf Low-Pegel liegt. In diesem Fall wird hinter T2 ein Wait-Zyklus (eine CPU-Taktperiode) eingefügt, während seitens der CPU keine neuen Aktivitäten auf dem Bus erfolgen. Langsamere Bausteine haben somit einen Taktzyklus (bei der alphaTronic 330 nsec) mehr Zeit, ihre Daten bereitzustellen.

Auf der Floppy-Controller-Baugruppe erfolgt die Erzeugung der Wait-Zyklen hauptsächlich durch je ein FF in IC 15 und IC 26 und ein Gatter des invertierenden Tri-State Bus-Leitungstreiber-ICs vom Typ 74LS368 (IC 08).

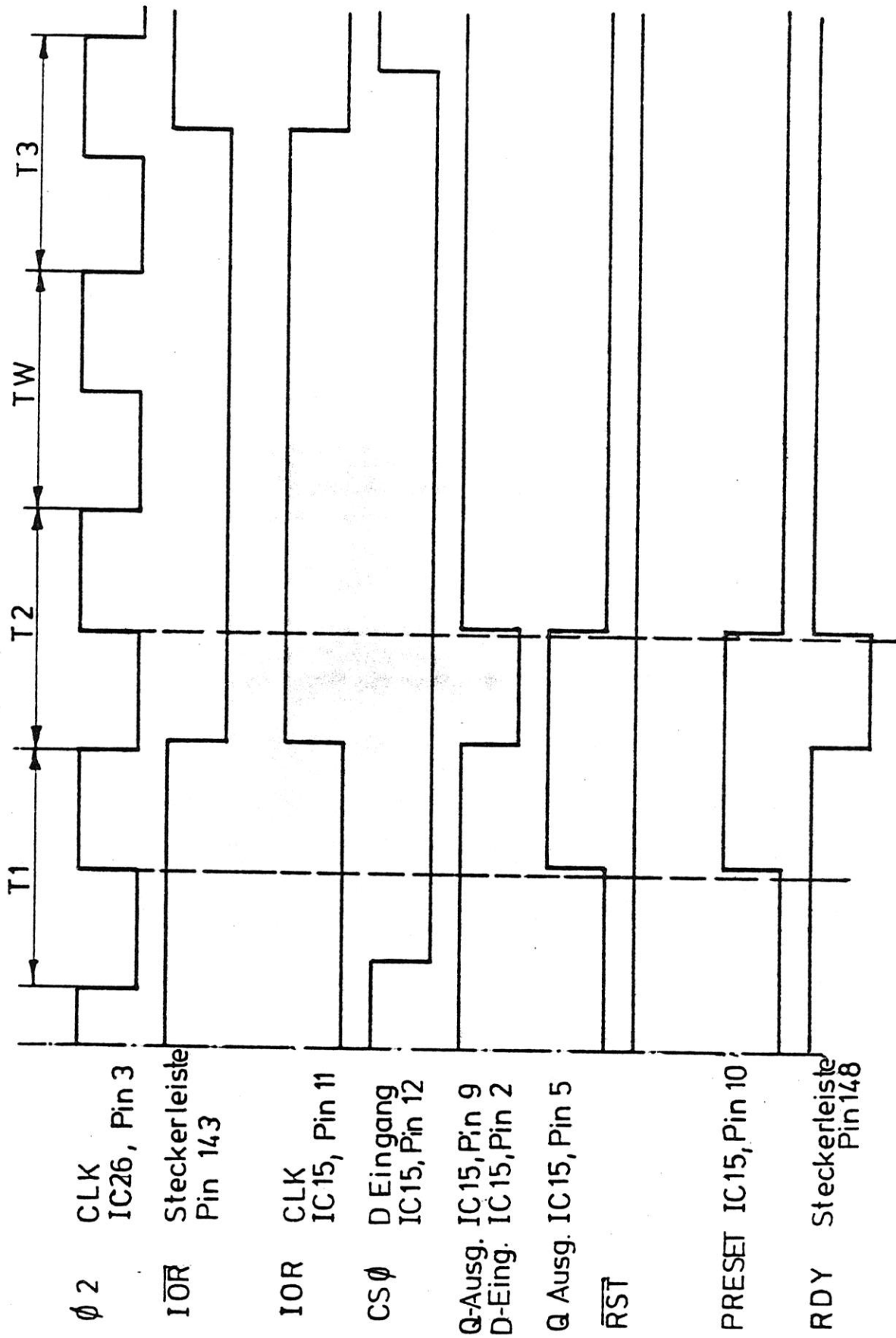
Die RDY-Leitung an Pin 148 der Steckerleiste wird von der Floppy-Controller-Baugruppe bei jedem I/O-Read-Befehl auf die Adressen 50 bis 53 hex aktiviert.

Die CLR-Eingänge der beiden für die Wait-State-Generierung eingesetzten Flipflops (IC 15, Pin 13 und IC 26, Pin 1) werden nicht benötigt und liegen auf High-Pegel (über R24).

Der Preset-Eingang (IC 26, Pin 4) ist mit dem -RST--Signal direkt verbunden. Den Preset-Eingang von IC 15 (Pin 4) ist mit der UND-Verknüpfung des Q-Ausgangssignals von IC 26 Pin 5 und dem -RST--Signal verbunden.

Die Funktionsweise der Schaltung erläutert das Timing-Diagramm auf der folgenden Seite.

Das RDY-Signal wird über ein invertierendes Gatter mit Tri-State-Ausgang (IC 08, Pin 14 und 13) auf den Bus geschaltet. Der Eingang Pin 14 dieses Gatters liegt über den Widerstand R1 (2,2 kOhm) auf High-Pegel. Nimmt der Q-Ausgang (IC 15, Pin 9) Low-Pegel an, was bei einem Lesebefehl auf die I/O-Adressen 50 bis 53 hex der Fall ist, so wird der Ausgang des Gatters (IC 13, Pin 08) freigegeben. Das RDY-Signal nimmt für diese Zeit Low-Pegel an.



Timing Diagramm für Wait State-Generierung

Die Stromaufnahme der Floppy-Controller-Baugruppe

+5 V	+/-5%	Stromaufnahme: typ.: 350 mA
		max.: 450 mA
+12 V	+/-5%	Stromaufnahme: typ.: 10 mA
		max.: 12 mA

Steckerbelegungsliste:

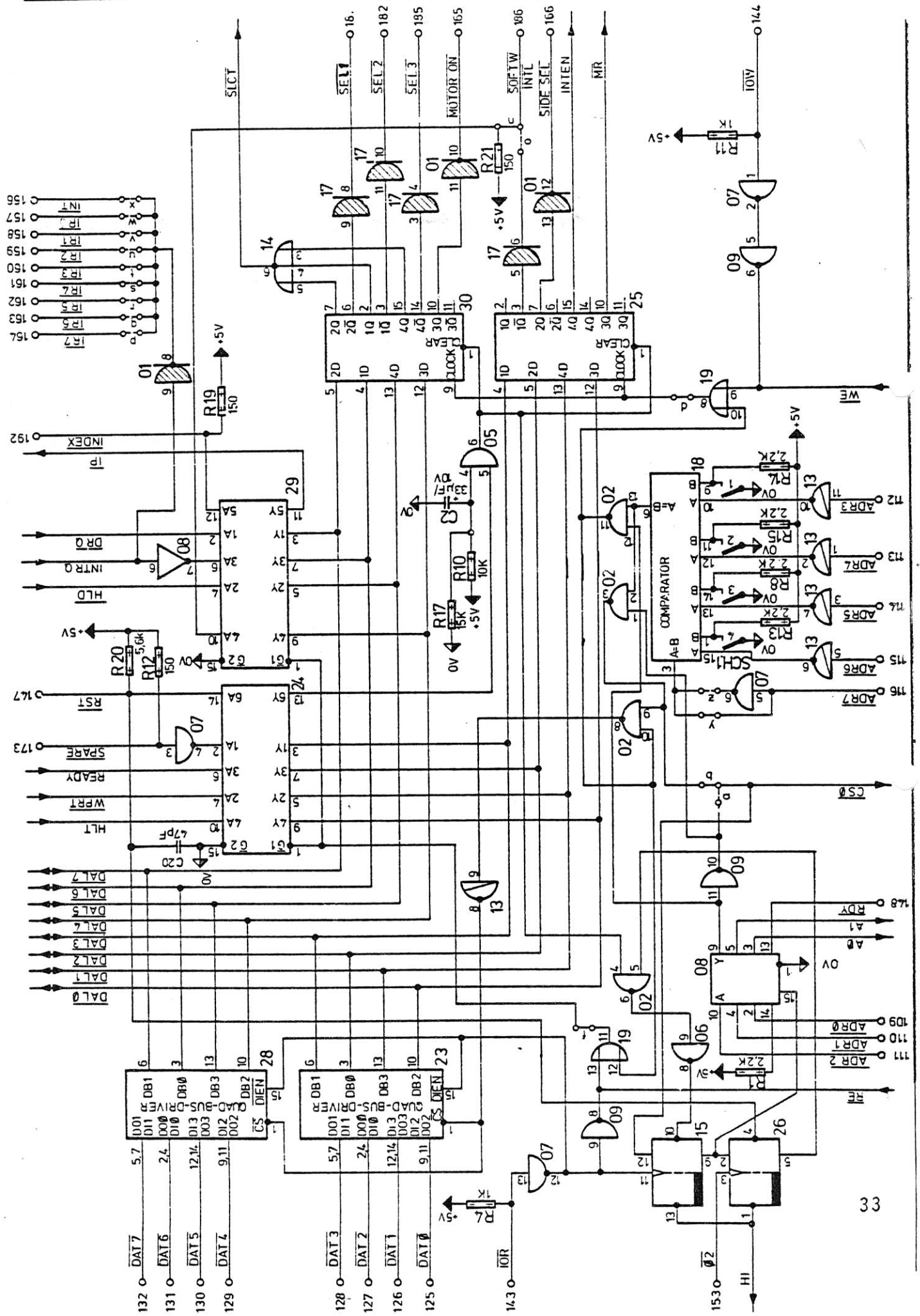
PIN	Bezeichnung	Erklärung
101	+ 5 V	
102	0 V	
103	+12 V	
104	0 V	
105	-12 V	
106	0 V	
107		
108		
109	-ADR 0-	Adreßbit 0
110	-ADR 1-	Adreßbit 1
111	-ADR 2-	Adreßbit 2
112	-ADR 3-	Adreßbit 3
113	-ADR 4-	Adreßbit 4
114	-ADR 5-	Adreßbit 5
115	-ADR 6-	Adreßbit 6
116	-ADR 7-	Adreßbit 7
117		
118		
119		
120		
121		
122		
123		
124		
125	-DAT 0-	Daten-Bit 0
126	-DAT 1-	Daten-Bit 1
127	-DAT 2-	Daten-Bit 2
128	-DAT 3-	Daten-Bit 3
129	-DAT 4-	Daten-Bit 4
130	-DAT 5-	Daten-Bit 5
131	-DAT 6-	Daten-Bit 6
132	-DAT 7-	Daten-Bit 7

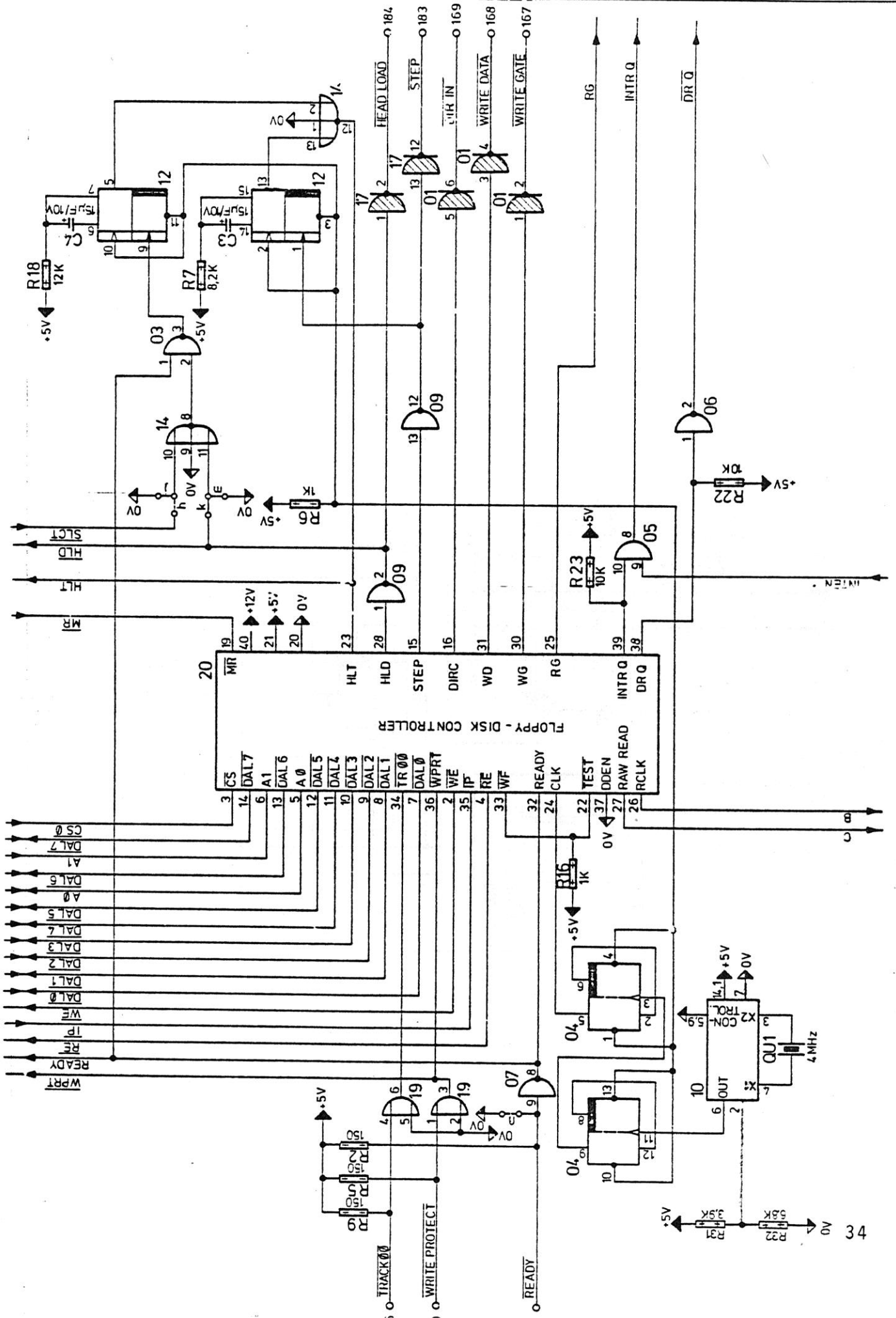
Steckerbelegungsliste

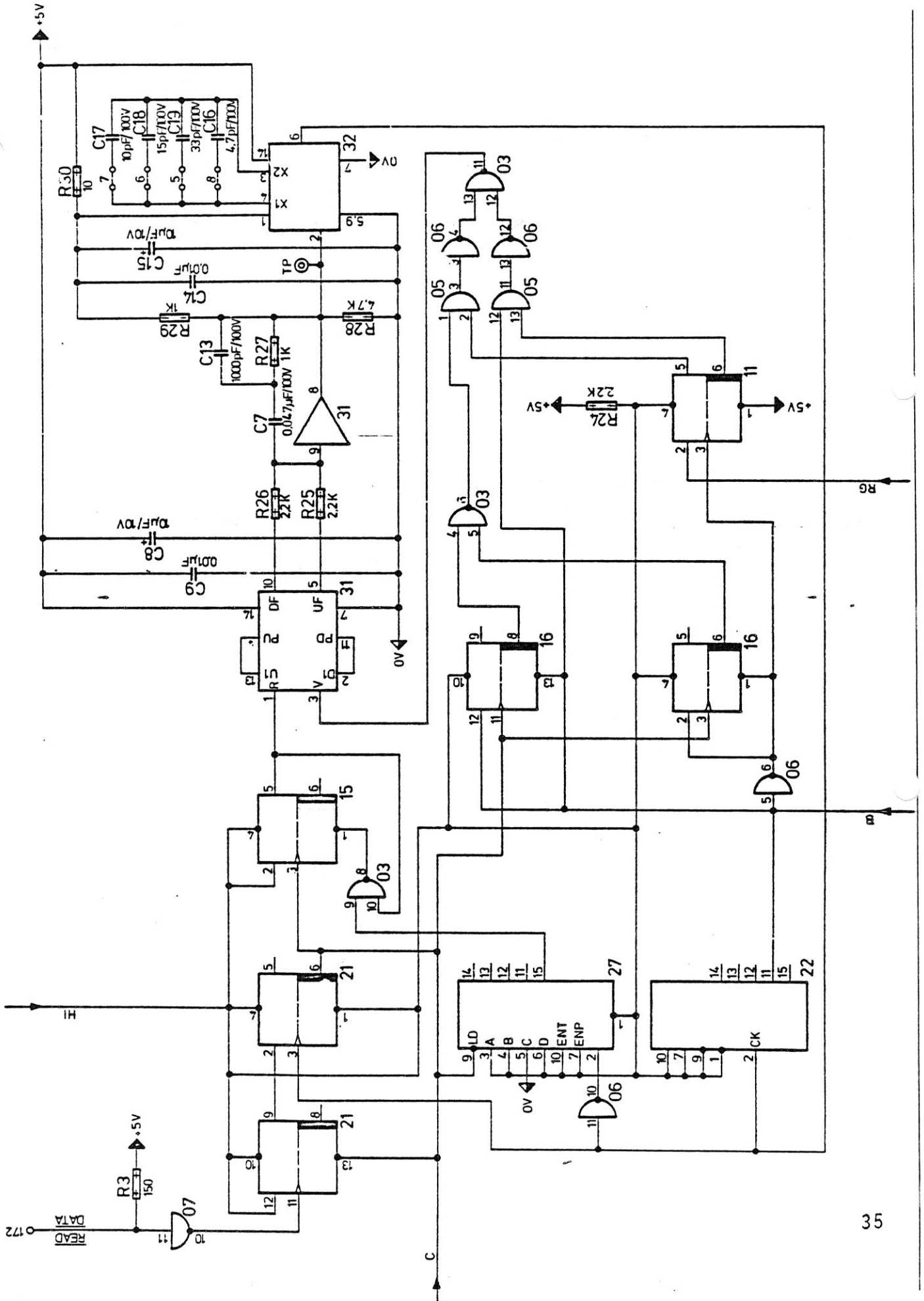
PIN	Bezeichnung	Erläuterungen
133	+ 5 V	
134	0 V	
135	+ 12 V	
136	0 V	
137	- 12 V	
138	0 V	
139		
140		
141		
142		
143	-IOR-	I/O-Read
144	-IOW-	I/O-Write
145		
146		
147	-RST-	Reset intern
148	-RDY-	Ready
149		
150		
151		
152		
153	-02-	CPU-Takt 02
154		
155		
156	-INT-	Interrupt
157	-IR 0-	Interrupt 0
158	-IR 1-	Interrupt 1
159	-IR 2-	Interrupt 2
160	-IR 3-	Interrupt 3
161	-IR 4-	Interrupt 4
162	-IR 5-	Interrupt 5
163	-IR 6-	Interrupt 6
164	-IR 7-	Interrupt 7

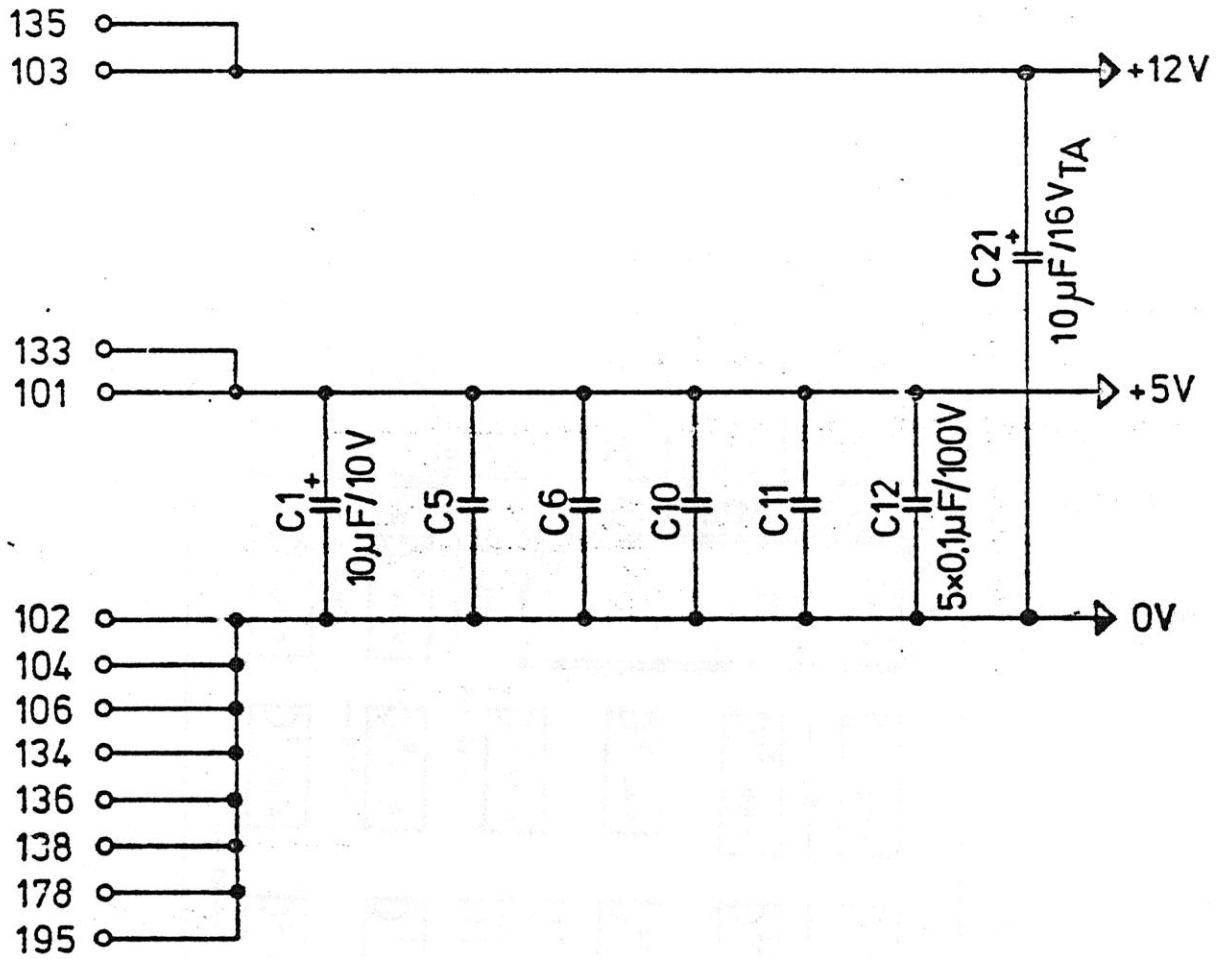
Steckerbelegungsliste

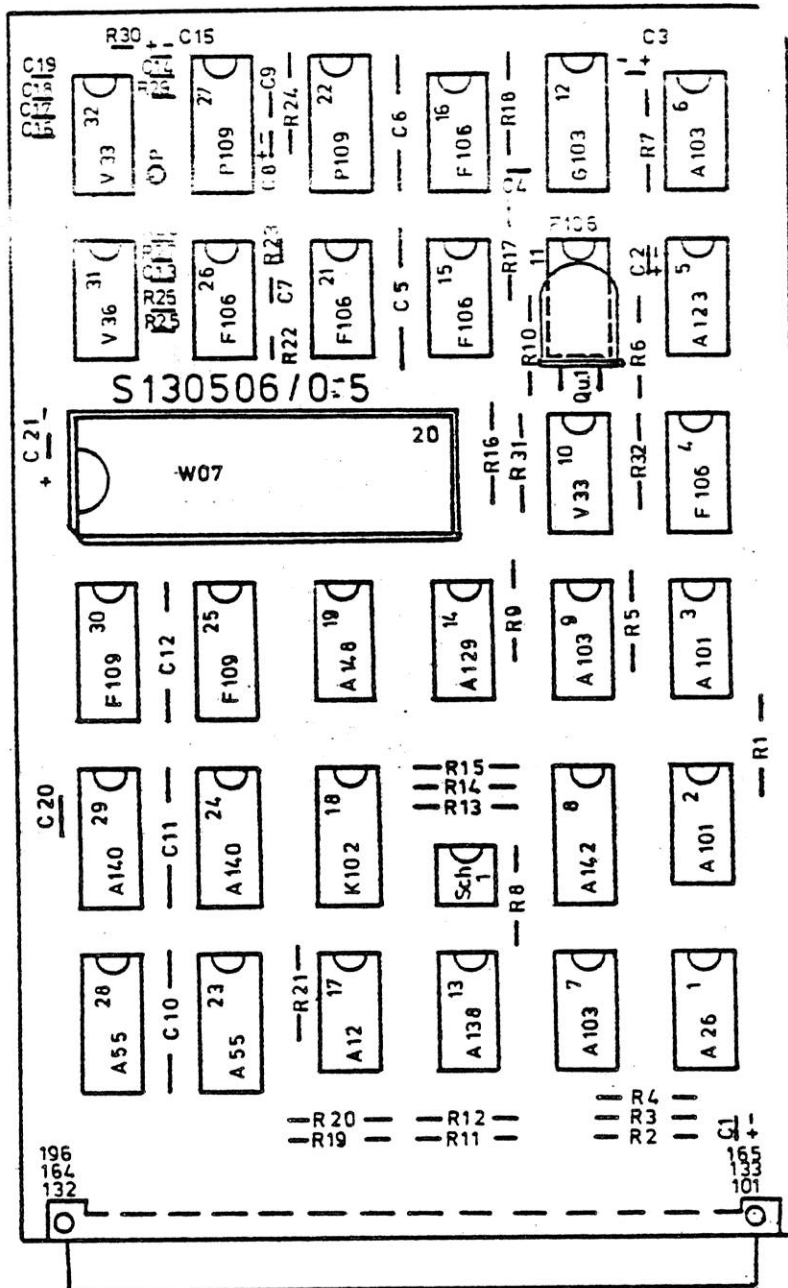
PIN	Bezeichnung	Erläuterungen
165	-MOTOR ON-	Motor-Start-Signal
166	-SIDE SEL-	Diskettenseitenanwahl
167	-WRITE GATE-	Schreibstromfreigabe
168	-WRITE DATA-	Schreibdaten
169	-DIR IN-	Richtung z. Diskettenmitte
170	-WRITE PROTECT-	Schreibschutz an
171	-READY-	Floppy-Bereit-Meldung
172	-READ DATA-	Ungetrennte Lesedaten
173	-SPARE-	Reserve-Leitung
174		
175		
176	-TRACK 00-	Spur-Null-Position
177		
178		
179		
180		
181	-SEL 1-	Anwahl Laufwerk 1
182	-SEL 2-	Anwahl Laufwerk 2
183	-STEP-	Schrittmotorimpuls
184	-HEAD LOAD-	Schreib-Lesekopf anziehen
185	-SEL 3-	Anwahl Laufwerk 3
186	-SOFTW INTL-	Softwarem. Klappenverr.
187		
188		
189		
190		
191		
192	-INDEX-	Index Puls
193		
194		
195	0 Volt	
196		



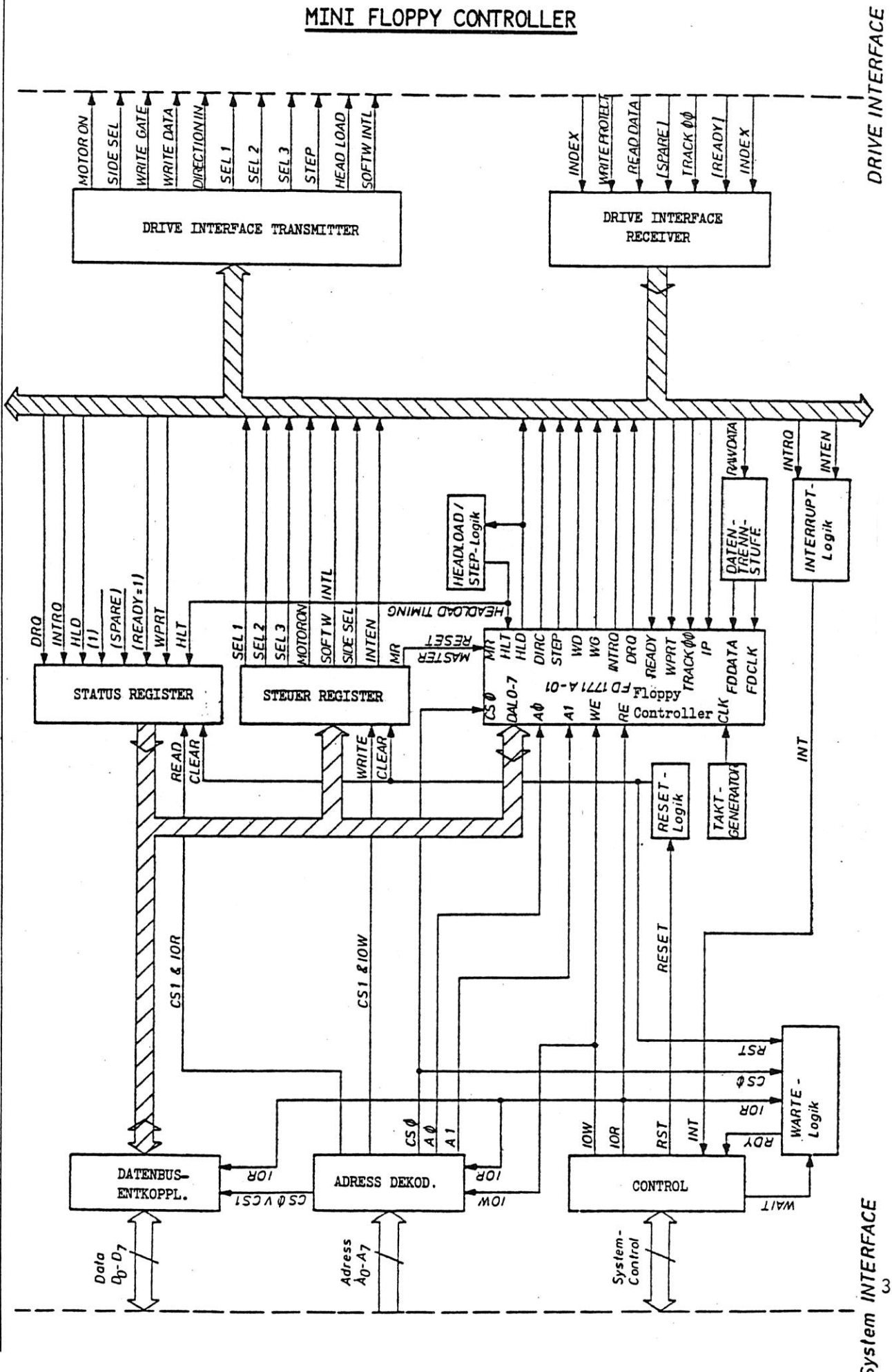








MINI FLOPPY CONTROLLER



Literaturverzeichnis

1. Datenblatt, WESTERN DIGITAL, FD1791A/B
2. Intel, Component Data Catalog, 1981
3. Siemens, Mikrocomputer Bausteine, Band 3, Peripherie
4. Chip, Vogel-Verlag, Heft Nr. 4 bis 11, 1981
5. BASF, PRODUCT AND INTERFACE SPECIFICATION
 BASF 6106
 BASF 6108