

LPL.RAM48KB DY. CAAC09

Inhaltsverzeichnis

Allgemeine Punkte zur Speicherbaugruppe	2
Die Einstellung der Jumper und Brücken	3
Zusätzliche Logikverknüpfung gegenüber den Baugruppen CAAC 05 und CAAC 06	4
Die Erzeugung des Signals -PCS-	4
Die Steuerung der Datenausgänge des 8-Bit-Latches	5
Die Stromaufnahme der 48kByte-RAM-Baugruppe CAAC 09	6
Die Stromaufnahme der 32kByte-RAM-Baugruppe CAAC 10	6
Die Adreßbereiche und die Bitzuordnung auf den Baugruppen CAAC 09 und CAAC 10	7
Die Steckerbelegungsliste	8
Schaltbild	11
Bestückungsplan	15
Blockschaltbild	16

Allgemeine Punkte zur Speicherbaugruppe

Die 48kB-RAM-Speichereinheit CAAC 09 ist abwärtskompatibel zur Baugruppe CAAC 05. Die Baugruppe CAAC 09 besitzt zusätzlich zur Baugruppe CAAC 05 eine Seitenverknüpfungslogik und kann somit in alphaTronic-Systemen mit 64kB-RAM eingesetzt werden. Die 32kB-RAM-Speichereinheit CAAC 10 entspricht der Baugruppe CAAC 06 und ist ebenfalls um die Seitenverknüpfungslogik erweitert, die bei diesem Einsatzfall jedoch unberücksichtigt bleibt.

Da die beiden Baugruppen CAAC 09 und CAAC 10 im Wesentlichen ihren Vorgängern CAAC 05 und CAAC 06 entsprechen, wurde hier auf eine grundlegende Beschreibung verzichtet. In dieser Beschreibung werden nur die Veränderungen gegenüber den Vorgängerbaugruppen beschrieben. Für eine tiefergehende Information ist die Beschreibung der Baugruppen CAAC 05 und CAAC 06 zu beachten.

Die 48kB-RAM-Speichereinheit CAAC 09 ist so ausgelegt, daß sie mit der 16kB-RAM-Baugruppe CAAC 08 zusammenarbeiten kann. Die Baugruppe CAAC 08 verfügt über keinen eigenen Controller für die auf ihr vorhandenen acht dynamischen RAM-Bausteine vom Typ 4116. Aus diesem Grund ist es erforderlich, die Steuersignale des RAM-Controllers auf der 48kB-RAM-Speichereinheit, auch auf der 16kB-RAM-Baugruppe mitzuverwenden. Hierzu sind die erforderlichen Signale mit der c-Reihe der Steckerleiste (Pin 164 bis 196) verbunden.

Die Einstellung der Jumper und Brücken

Die Baugruppe CAAC 09 ist ohne und mit der Baugruppe CAAC 08 einsetzbar. Wird nur der Speicher CAAC 09 im alphaTronic-System eingesetzt, so kann der Anwender über einen RAM-Speicherbereich von 48kByte verfügen. Bei Verwendung der Baugruppen CAAC 09 und CAAC 08 stehen dem Anwender 64kByte RAM-Speicherbereich zur Verfügung. Diese zusätzlichen 16kByte RAM-Speicher sind jedoch nur bei Verwendung der speziellen 64kB CP/M-Variante nutzbar.

Für die Verwendung der Speicherbaugruppe CAAC 09 in beiden Einsatzfällen ist eine entsprechende Einstellung der Brücken und Jumper nach folgender Tabelle erforderlich.

Brücke/ Jumper	auf	zu	Erklärung
M01/1 - M01/2		X	Einsatz der 48kB-RAM-Baugruppe CAAC 09 ohne die Baugruppe CAAC 08. Der Speicheradressbereich von 4000H bis FFFFH liegt auf der Baugruppe CAAC 09.
M01/3 - M01/4	X		
M01/5 - M01/6	X		
M01/7 - M01/8		X	
a		X	
b	X		
M01/1 - M01/2	X		Einsatz der 48kB-RAM-Baugruppe CAAC 09 zusammen mit der Baugruppe CAAC 08. Der Speicheradressbereich von 0H bis BFFFH liegt auf der Baugruppe CAAC 09. Der Speicheradressbereich von C000H bis FFFFH liegt auf Baugruppe CAAC 08.
M01/3 - M01/4		X	
M01/5 - M01/6		X	
M01/7 - M01/8	X		
a	X		
b		X	

Die Brücken c,d,e sind für spätere Erweiterungen vorgesehen. Wird eine Baugruppe CAAC 09 in Verbindung mit der Baugruppe CAAC 08 eingesetzt, so muß die Brücke c geschlossen und die Brücken d und e offen sein.

Zusätzliche Logikverknüpfungen gegenüber den Baugruppen CAAC 05 und CAAC 06

Die Erzeugung des Signals -PCS-

Wird die Speicherbaugruppe in alphaTronic-Systemen mit 64kB-RAM-Speicher eingesetzt (in Verbindung mit der Baugruppe CAAC 08), so ist die Brücke a offen und die Brücke b geschlossen. An dem -PCS--Eingang des 8202A RAM-Controllers (IC 09, Pin 33) liegt somit das invertierte PAGE 1 Signal an. Das PAGE 1 Signal wird auf der Baugruppe CAAC 08 erzeugt und gelangt über Pin 175 der Steckerleiste und über die Brücke c zu einem Inverter (IC 02, Pin 3 und 4). Dieser Inverter hat Ausgänge mit offenem Collector, wodurch zur Potentialfestlegung ein Pull-up Widerstand erforderlich ist. Der Widerstand hat einen Wert von 2,2 kOhm und ist im Netzwerk N25/2 vorhanden. Der Widerstand am Eingang des Inverters dient der Erhöhung der Betriebssicherheit. Er hat einen Wert von 2,2 kOhm und ist ebenfalls im Netzwerk N25/2 vorhanden.

Das Signal PAGE 1 hat immer dann High-Pegel, wenn Seite 0 (RAM mit MOS-Bereich) angesprochen wird und die Adresse im Bereich von hexadezimal 4000 bis FFFF liegt. High-Pegel liegt ferner an, wenn die Seite 1 (64kB-RAM) angesprochen ist.

Die Brücken d und e sind späteren Systemerweiterungen vorbehalten.

Die Steuerung der Datenausgänge des 8-Bit-Latches

Bei den Baugruppen CAAC 05 und CAAC 06 werden die Datenausgänge des 8-Bit-Latches (IC 07, 8283) durch Low-Pegel am -OE--Eingang freigegeben. Das Signal -OE- hat immer dann Low-Pegel, wenn an den Signalen -MEMR- und -XACK- Low-Pegel anliegt. Da die 16kB-RAM-Baugruppe CAAC 08 keinen eigenen RAM-Controller besitzt wird der Controller der 48kB-RAM-Baugruppe mitverwendet. Aus diesem Grund nimmt das -XACK--Signal auf der CAAC 09 Baugruppe auch dann Low-Pegel an, wenn der RAM-Speicherbereich auf der 16kB-RAM-Baugruppe adressiert wird, und gültige Daten an den RAMs anliegen. Ohne zusätzliche Verknüpfung des von der Baugruppe CAAC 05 her bekannten Signals OE werden beim Lesen von Daten aus dem Bereich der 16kB-RAM-Baugruppe (Adreßbereich C000H bis FFFFH) gleichzeitig ungültige Daten von der 48kB-RAM-Baugruppe auf den Datenbus gesendet. Zur Verhinderung dieses Fehlverhaltens wird das ursprüngliche OE-Signal mit dem Signal -OEZ- verknüpft. Dieses Signal wird auf der Baugruppe CAAC 08 erzeugt und trägt dort die Bezeichnung -OEZO/1-. Über Pin 178 der 96poligen VG-Leist gelangt das Signal auf die 48kB-Speicherbaugruppe. Das -OEZ--Signal hat immer Low-Pegel wenn Seite 0 oder Seite 1 angesprochen wird und die Adresse im Bereich von C000H bis FFFFH liegt. Daraus folgt, daß die Datenausgänge des 8-Bit-Latches (IC 07, 8283) immer gesperrt sind, wenn aus dem Adreßbereich von C000H bis FFFFH Daten gelesen werden.

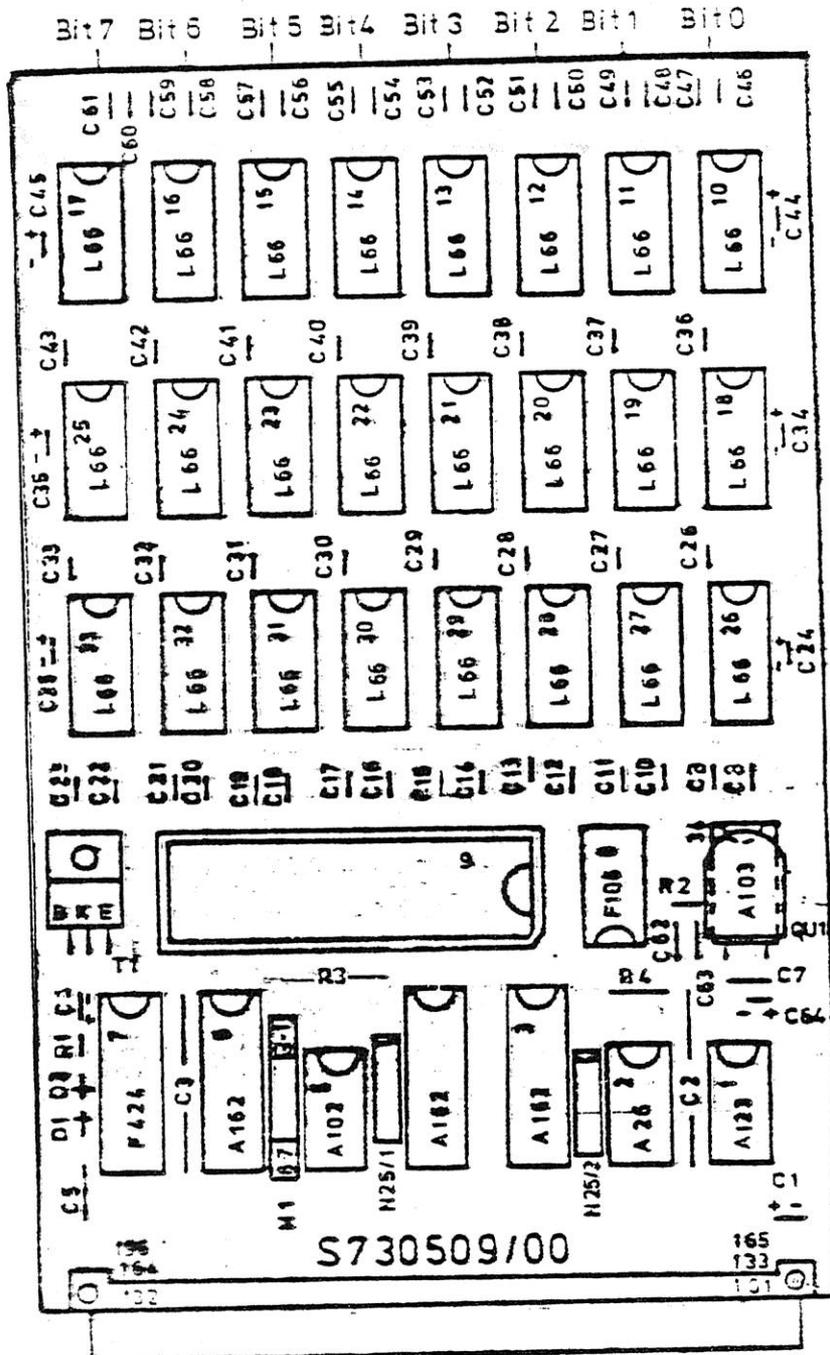
Das Signal -OEZ- ist auf der Baugruppen CAAC 09 und CAAC 10 über einen Pull-up Widerstand von 2,2 kOhm (in Netzwerk N25/2) mit +5 Volt Potential verbunden. Dieser Widerstand ist erforderlich, damit die Baugruppe auch ohne die 16kB-RAM-Baugruppe CAAC 08 eingesetzt werden kann. Ohne Verwendung der Baugruppe CAAC 08 liegt das Signal -OEZ- fest auf High-Pegel. Hierdurch wird das Signal OE nicht durch das UND-Gatter (IC 01, Pim 11, 12, 13) beeinflusst. Der Signalverlauf des Signals OE entspricht dann dem Signalverlauf des gleichnamigen Signals auf den Baugruppen CAAC 05 und CAAC 06.

Die Stromaufnahme der 48kByte-RAM-Baugruppe CAAC 09.

+ 5 V +/- 5%	Stromaufnahme: typ: 400 mA max: 520 mA
+12 V +/- 5%	Stromaufnahme: typ: 40 mA max: 60 mA
-12 V +/- 5%	Stromaufnahme: typ: 60 mA max: 75 mA

Die Stromaufnahme der 32kByte-RAM-Baugruppe CAAC 10

+ 5 V +/- 5%	Stromaufnahme: typ: 380 mA max: 520 mA
+12 V +/- 5%	Stromaufnahme: typ: 50 mA max: 70 mA
-12 V +/- 5%	Stromaufnahme: typ: 40 mA max: 50 mA



BANK 1
Adresse
4000-7FFF

BANK 2
Adresse
8000-BFFF

*
BANK 3
Adresse
C000 FFFF
Bank 3 ist in der Baugruppe
CAAC 10 nicht bestückt.

*
Bei Verwendung der
Baugrp. in 64 KB-RAM-
Systemen liegt hier BANK 0
mit dem Adreßbereich
0000-3FFF
BANK 3 mit dem
Adreßbereich liegt auf de
CAAC 08

Adreß und Bitzuordnung
auf Baugrp. CAAC09(48KB RAM) u. CAAC 10
(32 KB RAM)

Steckerbelegungsliste:

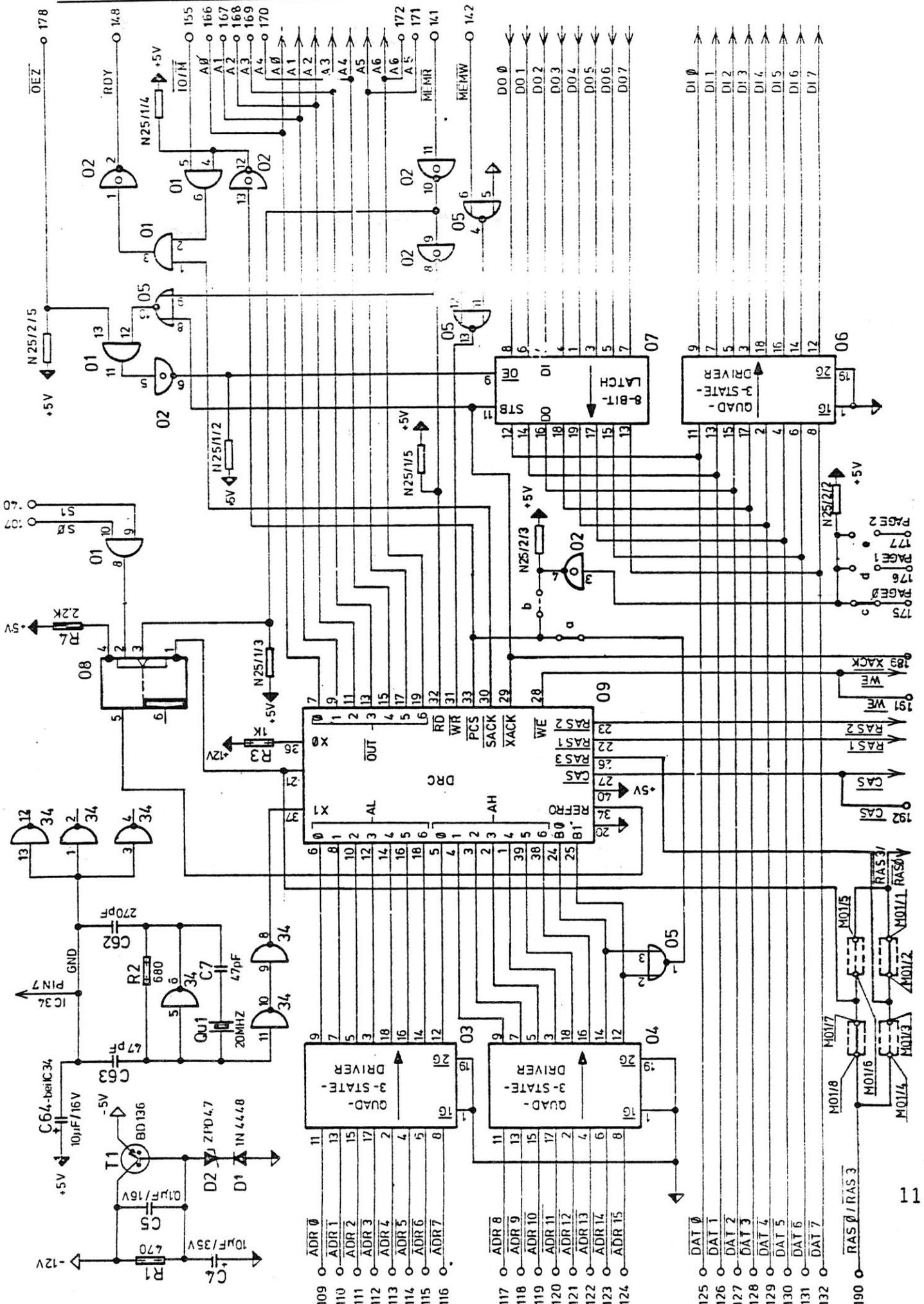
PIN	Bezeichnung	Erklärung
101	+ 5 V	
102	0 V	
103	+12 V	
104	0 V	
105	-12 V	
106	0 V	
107	S0	Statussignal S0
108		
109	-ADR 0-	Adreßbit 0
110	-ADR 1-	Adreßbit 1
111	-ADR 2-	Adreßbit 2
112	-ADR 3-	Adreßbit 3
113	-ADR 4-	Adreßbit 4
114	-ADR 5-	Adreßbit 5
115	-ADR 6-	Adreßbit 6
116	-ADR 7-	Adreßbit 7
117	-ADR 8-	Adreßbit 8
118	-ADR 9-	Adreßbit 9
119	-ADR 10-	Adreßbit 10
120	-ADR 11-	Adreßbit 11
121	-ADR 12-	Adreßbit 12
122	-ADR 13-	Adreßbit 13
123	-ADR 14-	Adreßbit 14
124	-ADR 15-	Adreßbit 15
125	-DAT 0-	Daten-Bit 0
126	-DAT 1-	Daten-Bit 1
127	-DAT 2-	Daten-Bit 2
128	-DAT 3-	Daten-Bit 3
129	-DAT 4-	Daten-Bit 4
130	-DAT 5-	Daten-Bit 5
131	-DAT 6-	Daten-Bit 6
132	-DAT 7-	Daten-Bit 7

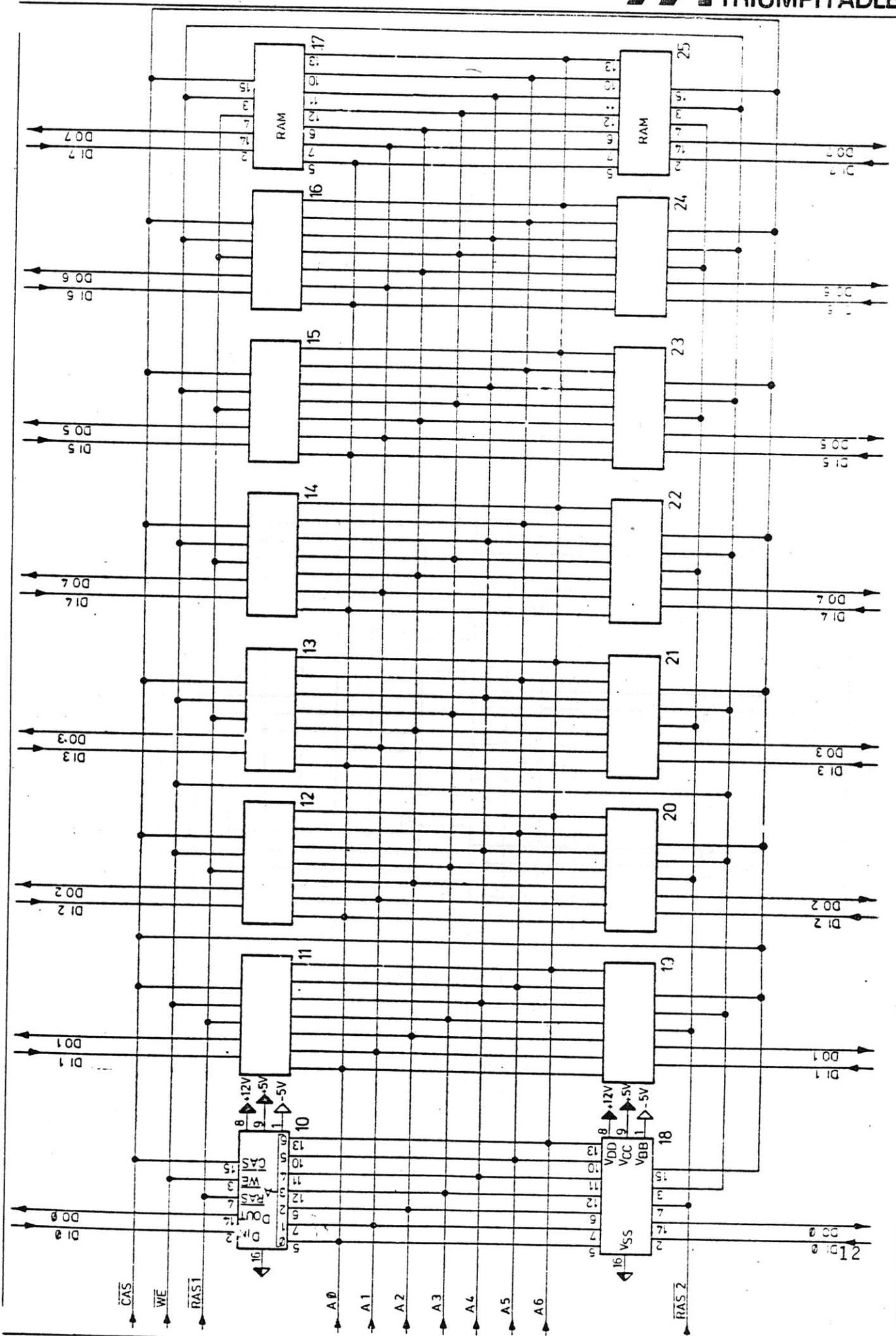
Steckerbelegungsliste

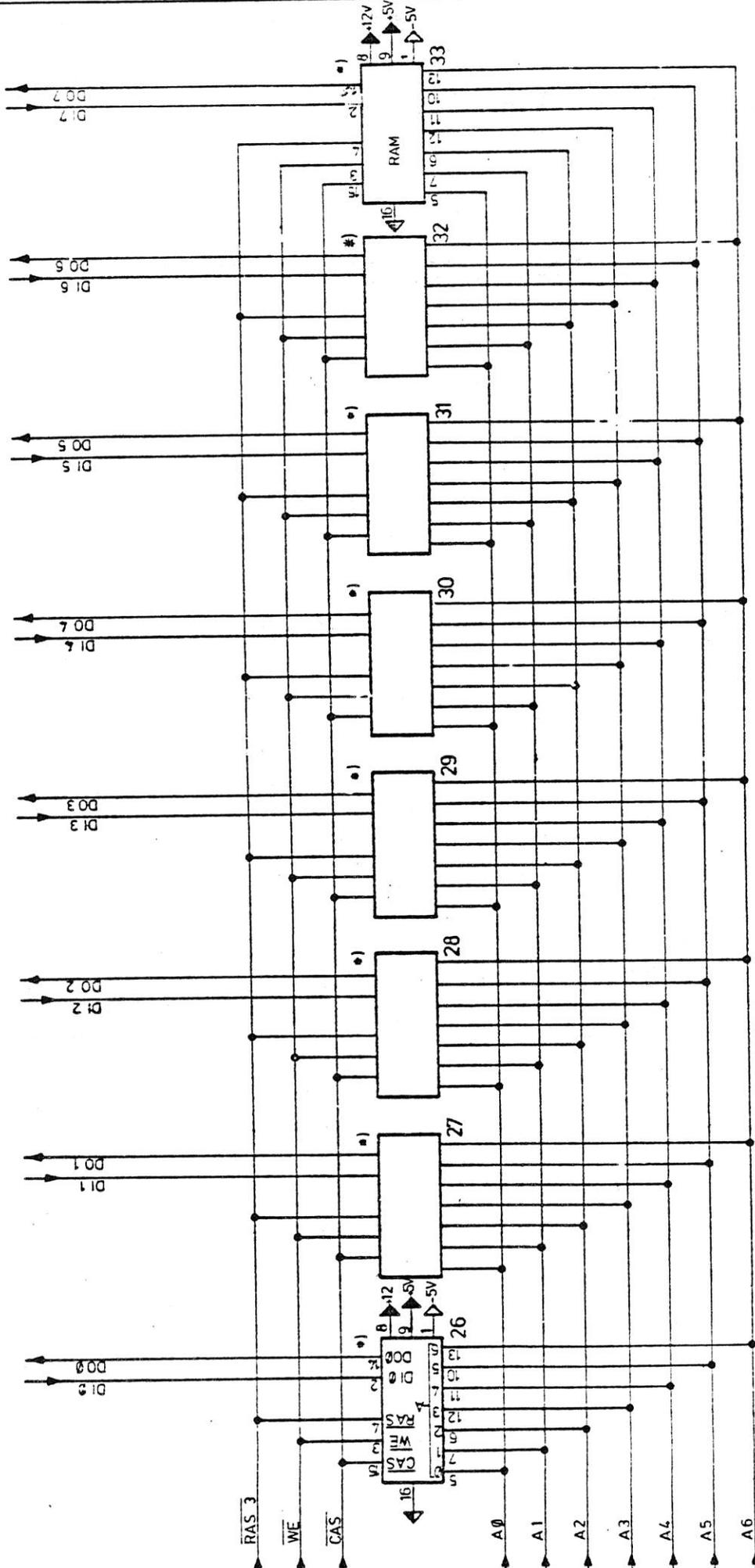
PIN	Bezeichnung	Erläuterungen
133	+ 5 V	
134	0 V	
135	+12 V	
136	0 V	
137	-12 V	
138	0 V	
139		
140	S1	Steuersignal S1
141	-MEMR-	Memory-Read
142	-MEMW-	Memory-Write
143		
144		
145		
146		
147		
148	RDY	Ready-Signal
149		
150		
151		
152		
153		
154		
155	-IO/-M--	IO-Erkennung
156		
157		
158		
159		
160		
161		
162		
163		
164		

Steckerbelegungsliste

PIN	Bezeichnung	Erläuterungen
165		
166	-ADR-IN 0-	Adreßbit 0
167	-ADR-IN 1-	Adreßbit 1
168	-ADR-IN 2-	Adreßbit 2
169	-ADR-IN 3-	Adreßbit 3
170	-ADR-IN 4-	Adreßbit 4
171	-ADR-IN 5-	Adreßbit 5
172	-ADR-IN 6-	Adreßbit 6
173		
174		
175	PAGE 1	Seite 1
176	PAGE 2	Seite 2
177	PAGE 3	Seite 3
178	-OEZ-	Freigabe Zusatzkarte
179		
180		
181		
182		
183		
184		
185		
186		
187		
188		
189	-XACK-	Transfer Acknowledge
190	-RAS3-	Row Adress Strobe
191	-WE-	Write Enable
192	-CAS-	Column Adres Strobe
193		
194		
195		
196		







*) BEI BAUGR CAAC10 NICHT BESTUCKT

