

LPL.RAM 16KB DY. CAAC08

Inhaltsverzeichnis

Allgemeine Beschreibung der Baugruppe CAAC 08	2
Die Kartenadresse	2
Die Schnittstelle der 16kB-Speicher- und Umschaltkarte	3
Die Schnittstelle zum alphaTronic-Systembus	3
Die Schnittstelle zu den 48kB-RAM-Seiten	5
Die Schnittstelle zu anderen Baugruppen	6
Übersichtsbild über die Speicherstruktur	7
Die Seitenadressierung	8
Beispielprogramm für die Umschaltung zwischen den Speicherseiten 0 und 1	9
Die Logik zur Seitenauswahl	10
Die Erzeugung der Seitenselektionssignale PAGE 0 bis 3	11
Die Bildung der OEZ-Signale	13
Die Erzeugung der -5 Volt Betriebsspannung	14
Die Stromaufnahme der 16kB-Speicher- und Umschaltkarte	14
Steckerbelegungsliste	15
Schaltbild	18
Bestückungsplan	22
Blockschaltbild der 16kB-Speicher- und Umschaltkarte	23

Allgemeine Beschreibung der Baugruppe CAAC 08

Die Baugruppe CAAC 08 ist eine dynamische Speichereinheit mit einer Kapazität von 16kByte. Die eingesetzten RAM-Bausteine vom Typ 4116 haben eine maximale Zugriffszeit von 250 nsec (Access time from row address strobe). Für den Betrieb der RAM-Bausteine werden drei Versorgungsspannungen benötigt. Die Speicherorganisation der RAM-Bausteine beträgt 16k X 1 Bit.

Die Baugruppe verfügt über keinen eigenen Controller zur Steuerung der dynamischen RAMs. Diese Funktion übernimmt der 8202A RAM-Controller auf der 48kByte Baugruppe (CAAC 09).

Zusätzlich zu diesem 16kByte Speicherbereich befindet sich auf der Baugruppe die komplette Logik zur Seitenadressierung.

Die Baugruppe hat Einfach-Europakarten-Format und verfügt über eine 96polige Stiftleiste zur Verbindung mit dem alphaTronic-Systembus.

Ergänzend zu der nachfolgenden Beschreibung der Baugruppe CAAC 08 sind die Baugruppenbeschreibungen zu CAAC 05/06 und CAAC 09/10 zu beachten.

Die Kartenadresse

Die Baugruppe CAAC 08 belegt die hexadezimalen IO-Adressen 78 und 7C. Über diese Adressen erfolgt die Selektion der verschiedenen Speicherseiten.

Durch die nicht vollständige Ausdecodierung der IO-Adressen, bei der die Adreßleitung -ADR 2- nicht verwendet wird, ergibt sich die Primäradresse zu 78H und die Sekundäradresse zu 7CH.

Vereinbarungsgemäß wird zur Adressierung ausschließlich die Adresse 78H verwendet.

Die Schnittstelle der 16kB-Speicher- und Umschaltkarte

Die Verbindung der Speicher- und Umschaltkarte mit dem alphaTronic-Systembus erfolgt über die a- und b-Reihe (Pin 100 bis 164) der 96poligen VG-Leiste.

Die Verbindung der 16kB-Speicher- und Umschaltkarte zu der ersten 48kB-Speicherkarte (Seite 0/1), sowie zu den beiden, für spätere Erweiterungen vorgesehenen 48kB-Seiten 2 und 3, erfolgt über die c-Reihe der Steckerleiste.

Die Schnittstelle zum alphaTronic-Systembus

Alle Steuer- und Datenleitungen werden vom Systembus größtenteils durch invertierende Gatter mit Schmitt-Trigger-Eingängen entkoppelt.

Zur Begrenzung von Kurzschlußströmen, die beim Gegen-einanderschalten von Bustreibern kurzzeitig entstehen können, sind in jede Datenleitung zum Bus hin Widerstände von 150 Ohm eingefügt.

Die Datenleitungen -DAT 0- bis -DAT 7- werden auf der Baugruppe nach ihrer Signalflußrichtung unterteilt. Der Hauptdatenstrom, dessen Signalflußrichtung auf die Baugruppe gerichtet ist, wird über IC 22 (74LS240), einen invertierenden Busleitungstreiber mit Schmitt-Trigger-Eingängen, entkoppelt. Die vom Bus herkommenden Datensignale -DAT- werden nach ihrer Invertierung mit DI bezeichnet.

Die Daten, welche beim Lesen aus dem 16kB-Speicher (Adreßbereich C000H - FFFFH) anliegen, werden in einem 8-Bit-Latch (IC 23, 74LS373) zwischengespeichert. Mit diesem Latch ist keine Anpassung der H-aktiven Datensignale an den L-aktiven Systembus möglich. Aus diesem Grund ist IC 24 (74LS240), ein Inverter, den Eingängen des Latches vorgeschaltet.

Nach dem Wechsel des Signalpegels am Enable-Eingang G (IC 23, Pin 11) von High- auf Low-Pegel, werden die Daten an den Dateneingängen abgespeichert. Diese Daten bleiben solange gültig, wie Low-Pegel am G-Eingang anliegt. Der G-Eingang ist mit dem -XACK--Signal des 8202A RAM- Controllers auf der ersten 48kB-RAM-Baugruppe (Seite 0/1) über Pin 189 der 96poligen VG-Leiste verbunden. Low-Pegel an -XACK- besagt, daß gültige Daten anliegen.

Die Freigabe der Latch-Ausgänge erfolgt über den -OE--Eingang an Pin 1. Während H-Pegel an diesem Eingang anliegt, sind die Ausgänge des Latches im hochohmigen Zustand (Tri-State).

Das Freigabesignal -OE- wird aus den Signalen -MEMR-, -XACK- und OEZ nach der folgenden Booleschen Gleichung gebildet:

$$\text{-MEMR-} \cdot \text{-XACK-} + \text{OEZ-} = \text{-OE-}$$

Im einzelnen haben die Signale folgende Bedeutung:

-MEMR- Low-Pegel zeigt an, daß eine Speicheradresse angesprochen ist.

-XACK- Low-Pegel zeigt an, daß Daten gültig sind.

OEZ Dieses Signal hat High-Pegel, wenn eine Speicheradresse im Bereich von C000H bis FFFFH angesprochen ist.

Hieraus ergibt sich für das -OE--Signal, daß dieses immer dann Low-Pegel hat, wenn aus dem Speicheradreibereich von C000H bis FFFFH gelesen wird, und die Daten auf den Datenleitungen gültig anstehen.

Die Schnittstelle zu den 48kB-RAM-Seiten

Die Schnittstellensignale zu den 48kB-RAM-Seiten lassen sich in zwei Gruppen unterteilen.

Gruppe 1: Signale zwischen der ersten 48kB-RAM-Speicherseite und der 16kB-Speicher- und Umschaltkarte.

Die erste Gruppe wird gebildet aus den Schnittstellensignalen zur ersten 48kB-RAM-Seite (Seite 0/1). Hierzu zählen die im folgenden beschriebenen Signale:

-ADR-IN 0- bis -ADR-IN 6-

Signalleitungen für die gemultiplexten Row- und Column-Adressen des 8202A RAM-Controllers auf der ersten 48kB-RAM-Seite. Diese Signale werden auf der Baugruppe CAAC 08 durch einen nichtinvertierenden Leitungstreiber (IC 27, 74LS241) entkoppelt.

-WE-

Low-Pegel auf dieser Signalleitung schaltet die RAMs in den Schreib-Mode. Die Datenausgänge (DOUT, Pin 14) der RAMs befinden sich während dieser Zeit im hochohmigen Zustand.

-WE- ist ein Ausgangssignal des 8202A RAM-Controllers.

-RAS 3-

Mit der 1/0-Flanke des -RAS 3--Signals wird die vom RAM-Controller über die Adreßausgänge ausgegebene Reihenadresse den RAM-Bausteinen übergeben. Das Signal -RAS 3- nimmt nur dann Low-Pegel an, wenn eine Speicheradresse im Bereich von hexadezimal C000 bis FFFF angesprochen ist. Low-Pegel auf diesem Signal ist zusätzlich noch bei einem Refresh-Zyklus möglich, wobei die Signale -RAS 0- bis -RAS 2- ebenfalls Low-Pegel haben.

-CAS-

Mit der 1/0-Flanke dieses Signals wird die Spaltenadresse des RAM-Controllers übergeben. Das Signal -CAS- nimmt jedesmal dann Low-Pegel an, wenn der RAM-Controller eine Spaltenadresse ausgibt.

Die Signale -WE-, -RAS 3- und -CAS- werden auf der Baugruppe durch jeweils zwei invertierende Gatter mit Schmitt-Trigger-Eingängen entkoppelt (IC 07).

-OEZ 0/1-

Freigabesignal für den Datenausgangsbuffer auf der ersten 48kB-RAM-Speicherseite.

Gruppe 2: Steuersignale zu weiteren Speicherseiten

Zur dieser Gruppe gehören die Signale, welche die Freigabe der zusätzlichen, für spätere Erweiterungen vorgesehenen 48kB-RAM-Seiten steuern. Diese Signale werden mit PAGE 2 und PAGE 3 sowie -OEZ 2- und -OEZ 3- bezeichnet.

Die Schnittstelle zu anderen Baugruppen

Diese Schnittstellensignale sind PAGE 0 und SR/-KOMBI-. Das Signal SR/-KOMBI- wird in der alphaTronic nicht verwendet und muß immer auf High-Pegel liegen. Wenn auf der Seite 0 gearbeitet wird, hat das Signal PAGE 0 High-Pegel. Unter Seite 0 verstehen wir den MOS- und RAM-Adreßbereich auf der CPU-Baugruppe, den Bildwiederholerspeicherbereich auf der BC-10-Baugruppe sowie den freien Anwenderspeicherbereich von 4000H bis FFFFH. Wird nicht mit dieser Seite 0 gearbeitet, so muß der Adreßbereich von 0 bis 3FFFH der Seite 0 gesperrt werden. Hierzu sind die Adreßbereichsfreigabesignale auf den Baugruppen CPU und BC-10 mit dem Signal PAGE 0 verknüpft.

Siehe hierzu auch das Bild auf der folgenden Seite.

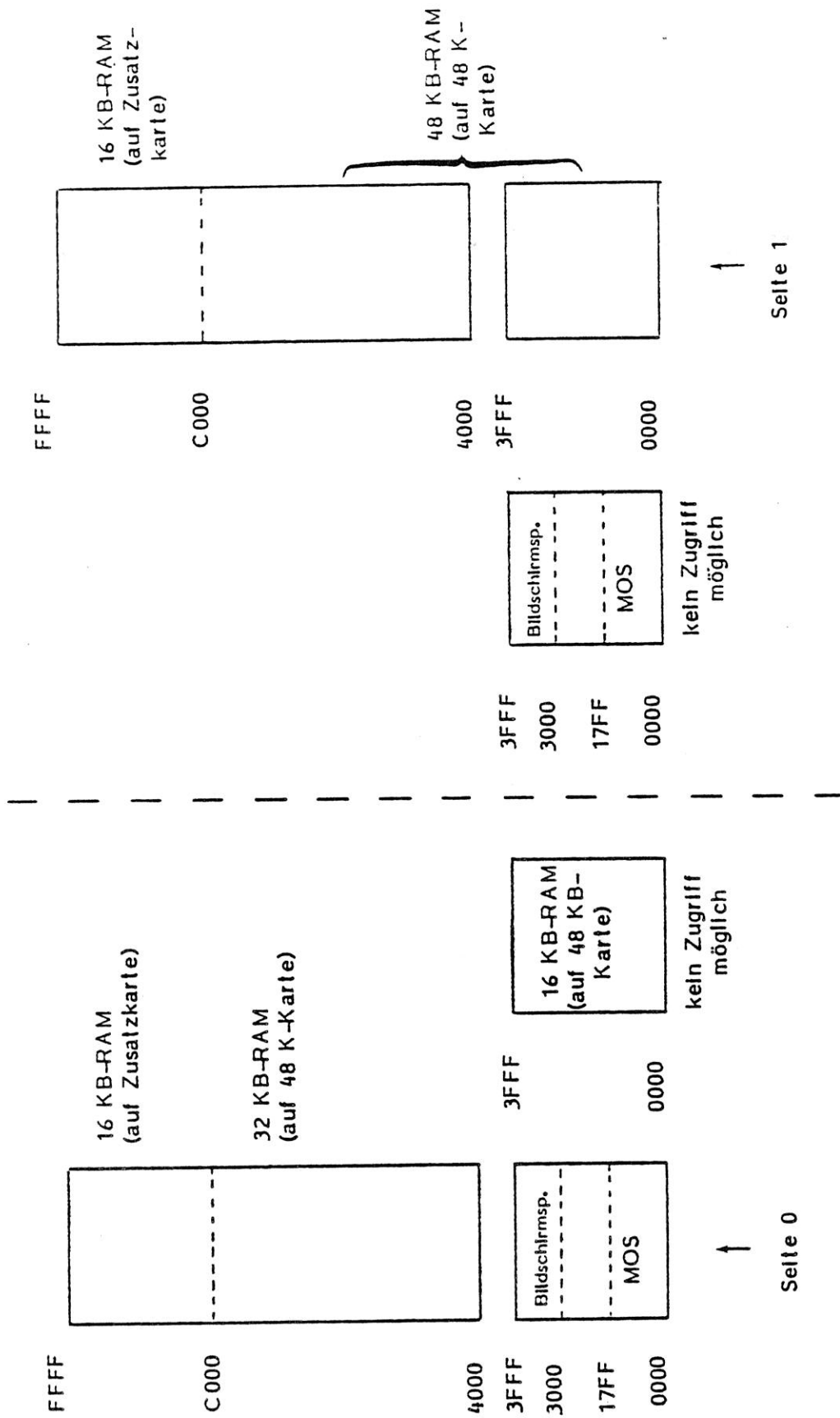


Bild 2a

16 KB-RAM von 0000 bis 3FFF ist bei Schaltung auf Seite 0 nicht ansprechbar.

Bild 2 b

Systembereich von 0000 bis 3FFF ist bei Schaltung auf Seite 1 nicht ansprechbar.

Die Seitenadressierung

Die Logik zur Seitenadressierung verwaltet die Adreßerkennung der 16k-Bank und bis zu drei 48kB-Speicherkarten.

Seite 0: Erkennung der 16kB-Bank ab C000H und der oberen 32kB der 48kB-Karte 1 ab der hexadezimalen Adresse 4000. Im Bereich von 0 bis 3FFFH liegt der MOS und Bildwiederholungspeicherbereich.

Seite 1: Erkennung der 16kB-Bank ab C000H und der gesamten 48kB-Karte 1 ab der Adresse 0 bis BFFFH.

Seite 2: Erkennung der 16kB-Bank ab C000H und der gesamten 48kB-Karte 2 ab der Adresse 0 bis BFFFH.

Seite 3: Erkennung der 16kB-Bank ab C000H und der gesamten 48kB-Karte 3 ab der Adresse 0 bis BFFFH.

Die Umschaltung der Speicherseiten erfolgt über die IO-Adresse 78H. Hierzu muß durch einen Schreibbefehl auf diese Adresse ein bestimmtes Datum ausgegeben werden.

Die nachfolgende Tabelle zeigt die Bedeutung der Datenbits bei der Speicherseitenauswahl.

b7	b6	b5	b4 - b0	Seite	entspr. Hex.-Wert
0	0	1	0	0	20
0	1	1	0	1	60
1	0	1	0	2	A0
1	1	1	0	3	E0

Beispielprogramm für die Umschaltung zwischen den Speicherseiten 0 und 1

Im Computersystem alphaTronic wird die Umschaltung zwischen den beiden Seiten 0 und 1 bei Verwendung von 64kB-CP/M voll unterstützt. Der Anwender braucht somit die Auswahl der benötigten Speicherseite nicht selbst zu treffen.

Um einen kleinen Einblick in die Vorgehensweise bei der Umschaltung zwischen den Speicherseiten 0 und 1 zu erhalten, sind die folgenden Programmteile gedacht.

```

KANAL EQU 78H ;IO-Adr. für Seitenumsch.
LXI SP,OFFFH ;Stachpointer nach oben
;
;
CALL C01 ;MOS-Routine Console-Outp.
.
.
;
;
; Subroutines
;
C01: CALL SEI0 ;Auf MOS-Seite umschalten
CALL CO ;CO-Routine aufrufen
CALL SEI1 ;Auf 64k-RAM-Seite zurück
RET
;
;
SEI0: PUSH PSW ;Akku retten wegen OUT
MVI A,20H ;Byte für Seite 0
OUT KANAL ;Byte über IO 78 ausgeben
POP PSW ;Akku zurück
RET
;
;
SEI1: PUSH PSW ;Akku retten wegen OUT
MVI A,60H ;Byte für Seite 1
OUT KANAL ;Byte über IO 78 ausgeben
POP PSW ;Akku zurück
RET

```

Die Logik zur Seitenauswahl

Zur Auswahl der verschiedenen Speicherseiten muß über die IO-Adresse 78H, wie im Kapitel "Die Seitenadressierung" in Tabellenform angegeben, ein bestimmtes Datum ausgegeben werden.

Bit 6 und 7 dieses Datenwortes werden in einem D-Flipflop (IC 20, 74LS175) abgespeichert. Als Übernahmeimpuls muß am CLK-Eingang (IC 20, Pin 9) eine 0/1-Flanke erscheinen. Dieses Übernahmesignal entsteht mit der 0/1-Flanke des -IOW-- Signals, bei gleichzeitigem anliegen der IO-Adresse 78H und bei gesetztem Datenbit b5. Bei gesetztem Datenbit b5 liegt die -DAT5--Leitung auf Low-Pegel.

Die auf diese Art zwischengespeicherte Dateninformation der Datenleitungen DI6 und DI7 wird auf die Dateneingänge A und B eines Binärdekoder/ Demultiplexer ICs (IC 19, Pin 2 und 3, 74LS139) gegeben. Der Freigabeeingang G (Pin 1) ist fest mit Low-Pegel verbunden.

Abhängig von der Eingangsinformation an den Eingängen A und B liegt an einem Ausgang (Q0 bis Q3) Low-Pegel an.

Die Abhängigkeit der Ausgänge von der Eingangsinformation an A und B zeigt die folgende Tabelle.

Signal Ein/Ausg. Pin	DI6 B 3	DI7 A 2	-SEITE 0- Q0 4	-SEITE 2- Q1 5	-SEITE 1- Q2 6	-SEITE 3- Q3 7
	L	L	L	H	H	H
	L	H	H	L	H	H
	H	L	H	H	L	H
	H	H	H	H	H	L

Die Auswahl, ob die angesprochene Adresse der jeweils ausgewählten Seite auf der entsprechenden 48kB-Speicherkarte oder auf der 16kB-Zusatzkarte liegt, wird durch die den Demultiplexern nachgeschaltete Logik getroffen.

Die Erzeugung der Seitenselektionssignale PAGE 0 bis PAGE 3

Die Selektionssignale, für die im Endausbau vorgesehenen maximal drei möglichen 48kB-Speicherkarten, werden auf dieser Baugruppe erzeugt. Diese Signale tragen die Bezeichnung PAGE 0 bis PAGE 3.

Die PAGE-Signale lassen sich durch zwei verschiedene Logikteile auf dieser Baugruppe erzeugen. Die jeweils zusammengehörigen Ausgänge dieser Logikteile sind über "Wired-Or"-Verbindungen verknüpft. Diese "Wired-Or"-Logik wird gebildet aus den ICs 09 und 17, deren "Open-Collector"-Ausgänge über 2,2 kOhm "Pull-up"-Widerstände mit +5 Volt-Potential verbunden sind.

Zur Erzeugung eines High-aktiven PAGE-Signals ist dieser "Wired-Or"-Verknüpfung ein invertierendes Gatter nachgeschaltet.

Die Umschaltung zwischen den beiden durch die zwei Logikteile erzeugten PAGE-Signale erfolgt über einen Eingang eines jeden NAND-Gatters von IC 09 und 17. Diese Eingänge werden über den -Q--Ausgang des Flipflops (IC 26, Pin 6) angesteuert. Dieser Ausgang muß bei Einsatz dieser Baugruppe in der alphaTronic immer Low-Pegel haben. Somit liegt an dem zur Steuerung verwendeten Eingang eines jeden NAND-Gatters von IC 09 H-Pegel an. Durch diese Beschaltung liegt am Ausgang eines jeden Gatters von IC 09 das invertierte Signal des anderen Eingangs an.

Dieser zweite Logikteil, gebildet aus IC 21, dem zweiten Demultiplexer aus IC 19, sowie IC 17 wird bei Einsatz dieser Baugruppe im Computersystem alphaTronic nicht benötigt.

PAGE 0

Das Signal des Q0-Ausgangs (IC 19, Pin 4) wird invertiert und zusammen mit dem Q2-Ausgangssignal in einem NAND-Gatter verknüpft. Der Ausgang dieser NAND-Verknüpfung (IC 16, Pin 6) hat somit Low-Pegel wenn Seite 0 angesprochen ist.

An Pin 10 von IC 09 muß immer High-Pegel anliegen, so daß der Ausgang an Pin 8 immer Low-Pegel besitzt, wenn Seite 0 selektiert ist. Zur Bildung des High-aktiven Seiten-selektionssignals PAGE 0 an Pin 174 der Steckerleiste, ist ein weiterer Inverter (IC 10, Pin 12 und 13) erforderlich.

PAGE 1

Das Signal PAGE 1 wird gebildet aus den Ausgangssignalen Q0 und Q2 des Demultiplexers (IC 19, Pin 4 und 6). Zusätzlich werden diese Signale noch mit Adreßbereichssignalen verknüpft, die mit dem Decoder/ Demultiplexer (IC 15, 74LS138) gewonnen werden.

Das Ausgangssignal an Pin 8 von IC 16 hat dann H-Pegel, wenn Seite 0 angesprochen wird und die Adresse im Bereich von 4000H bis FFFFH liegt oder aber wenn Seite 1 ausgewählt ist. Dieses Ausgangssignal entspricht dem Signal PAGE 1 an Pin 175 der Steckerleiste.

PAGE 2 und PAGE 3

H-Pegel auf den Signalleitungen PAGE 2 und PAGE 3 selektiert die zweite oder dritte zusätzliche 48kB-Speicherkarte im System. Diese Selektionssignale werden aus den Low-aktiven Ausgängen des Demultiplexers (IC 19, Pin 5 und 7) gewonnen.

Die Signale PAGE 2 und PAGE 3 sind für spätere Systemerweiterungen vorgesehen.

Die Bildung der OEZ-Signale

Die Signale -OEZ 0 bis OEZ 3- werden zusammen mit weiteren Steuersignalen zu einem Freigabesignal für die Datenausgangsbuffer auf den verschiedenen 48kB-Speicherseiten verknüpft.

OEZ

Das Signal OEZ wird zusammen mit weiteren Signalen zu dem Freigabesignal -OE- verknüpft. Das Signal OEZ hat immer High-Pegel, wenn der Speicheradreibereich von C000H bis FFFFH angesprochen ist.

-OEZ 0/1-

Das Signal -OEZ 0/1- an Pin 178 hat Low-Pegel, wenn Seite 0 oder Seite 1 selektiert ist und die Adresse im Bereich von 0000H bis BFFFH liegt.

-OEZ 2-

Dieses Signal an Pin 179 hat Low-Pegel, wenn die Seite 2 angesprochen wird (H-Pegel an PAGE 2) und die Adresse im Bereich von 0000H bis BFFFH liegt.

-OEZ 3-

Dieses Signal an Pin 180 hat Low-Pegel, wenn die Seite 3 angesprochen wird (H-Pegel an PAGE 3) und die Adresse im Bereich von 0000H bis BFFFH liegt.

Die Erzeugung der -5 Volt Betriebsspannung

Die hier verwendeten dynamischen RAM-Bausteine vom Typ 4116 benötigen außer +5 und +12 Volt auch eine negative Betriebsspannung von -5 Volt. Diese Spannung wird auf der Baugruppe aus der -12 Volt Spannung gewonnen. Die Schaltung zur Gewinnung der -5 Volt Betriebsspannung besteht aus dem Strombegrenzungswiderstand (R 3, 390 Ohm), der den Arbeitspunkt auf der Z-Diodenkennlinie festlegt, und der Zehner-Diode selbst (D1, ZPD 5,1). Diese Diode hat eine Durchbruchspannung von 5,1 Volt im üblichen Toleranzbereich. Zur Glättung der so gewonnenen negativen Betriebsspannung von -5 Volt +/-5% wird der Kondensator C12 benötigt.

Die Stromaufnahme der 16kB-Speicher- und Umschaltkarte

+ 5 V +/- 5%	Stromaufnahme: typ: 280 mA max: 340 mA
+12 V +/- 5%	Stromaufnahme: typ: 20 mA max: 25 mA
-12 V +/- 5%	Stromaufnahme: typ: 20 mA max: 25 mA

Steckerbelegungsliste:

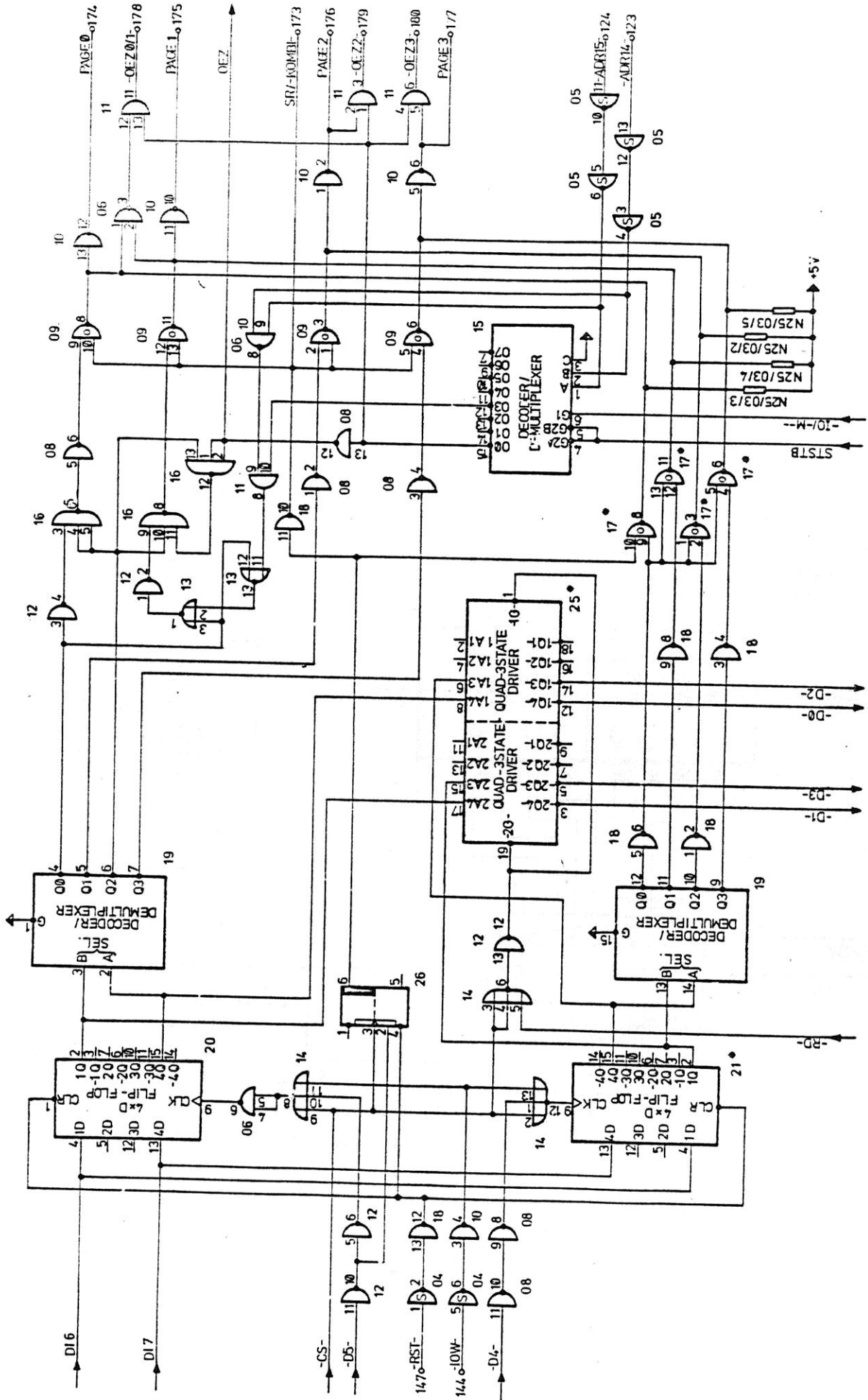
PIN	Bezeichnung	Erklärung
101	+ 5 V	
102	0 V	
103	+12 V	
104	0 V	
105	-12 V	
106	0 V	
107		
108		
109	-ADR 0-	Adreßbit 0
110	-ADR 1-	Adreßbit 1
111		
112	-ADR 3-	Adreßbit 3
113	-ADR 4-	Adreßbit 4
114	-ADR 5-	Adreßbit 5
115	-ADR 6-	Adreßbit 6
116	-ADR 7-	Adreßbit 7
117		
118		
119		
120		
121		
122		
123	-ADR 14-	Adreßbit 14
124	-ADR 15-	Adreßbit 15
125	-DAT 0-	Daten-Bit 0
126	-DAT 1-	Daten-Bit 1
127	-DAT 2-	Daten-Bit 2
128	-DAT 3-	Daten-Bit 3
129	-DAT 4-	Daten-Bit 4
130	-DAT 5-	Daten-Bit 5
131	-DAT 6-	Daten-Bit 6
132	-DAT 7-	Daten-Bit 7

Steckerbelegungsliste

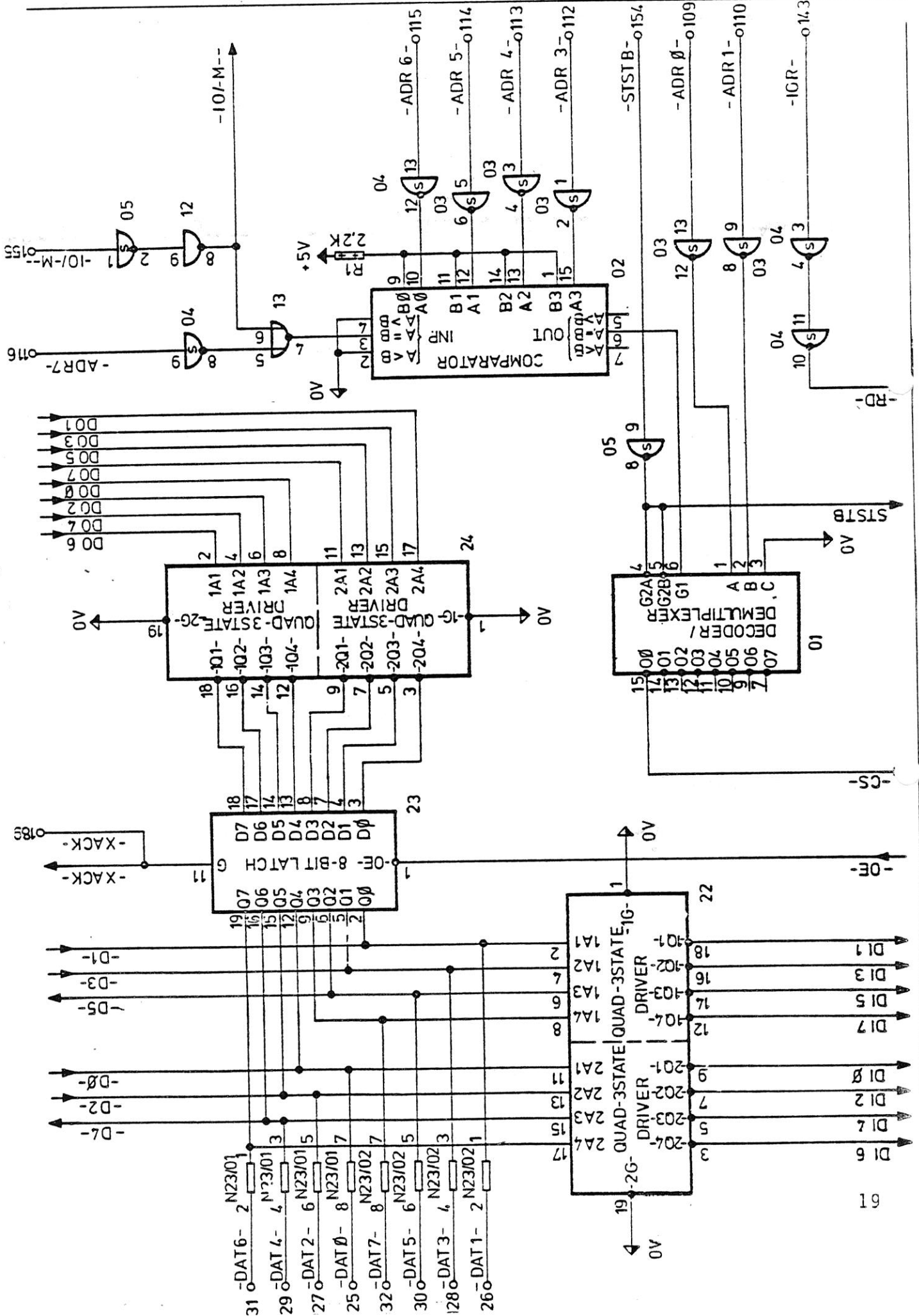
PIN	Bezeichnung	Erläuterungen
133	+ 5 V	
134	0 V	
135	+12 V	
136	0 V	
137	-12 V	
138	0 V	
139		
140		
141	-MEMR-	Memory-Read
142		
143	-IOR-	I/O-Read
144	-IOW-	I/O-Write
145		
146		
147	-RST-	Reset intern
148		
149		
150		
151		
152		
153		
154	-STSTB-	Status Strobe (-ALE-)
155	-IO/-M--	IO-Erkennung
156		
157		
158		
159		
160		
161		
162		
163		
164		

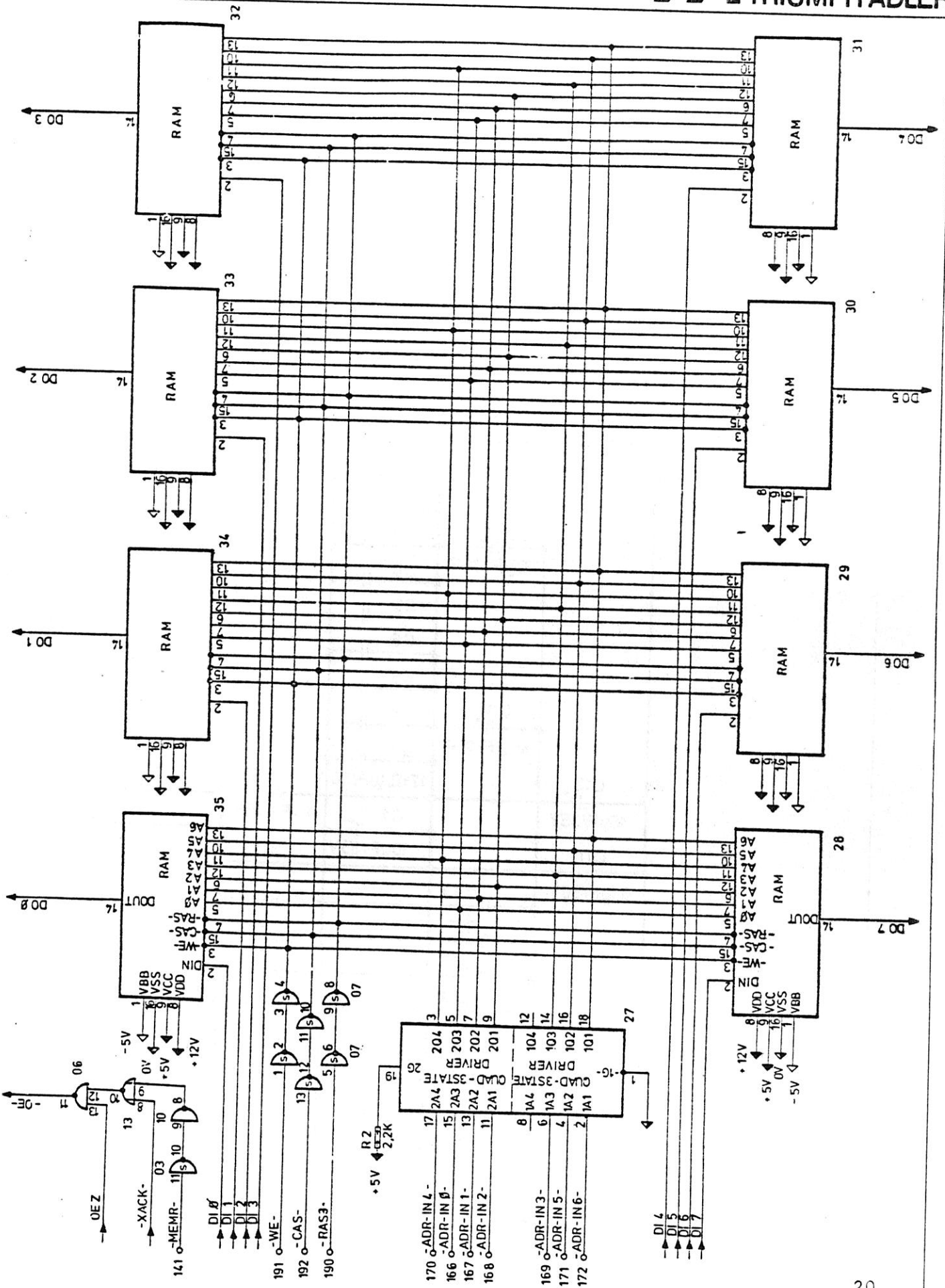
Steckerbelegungsliste

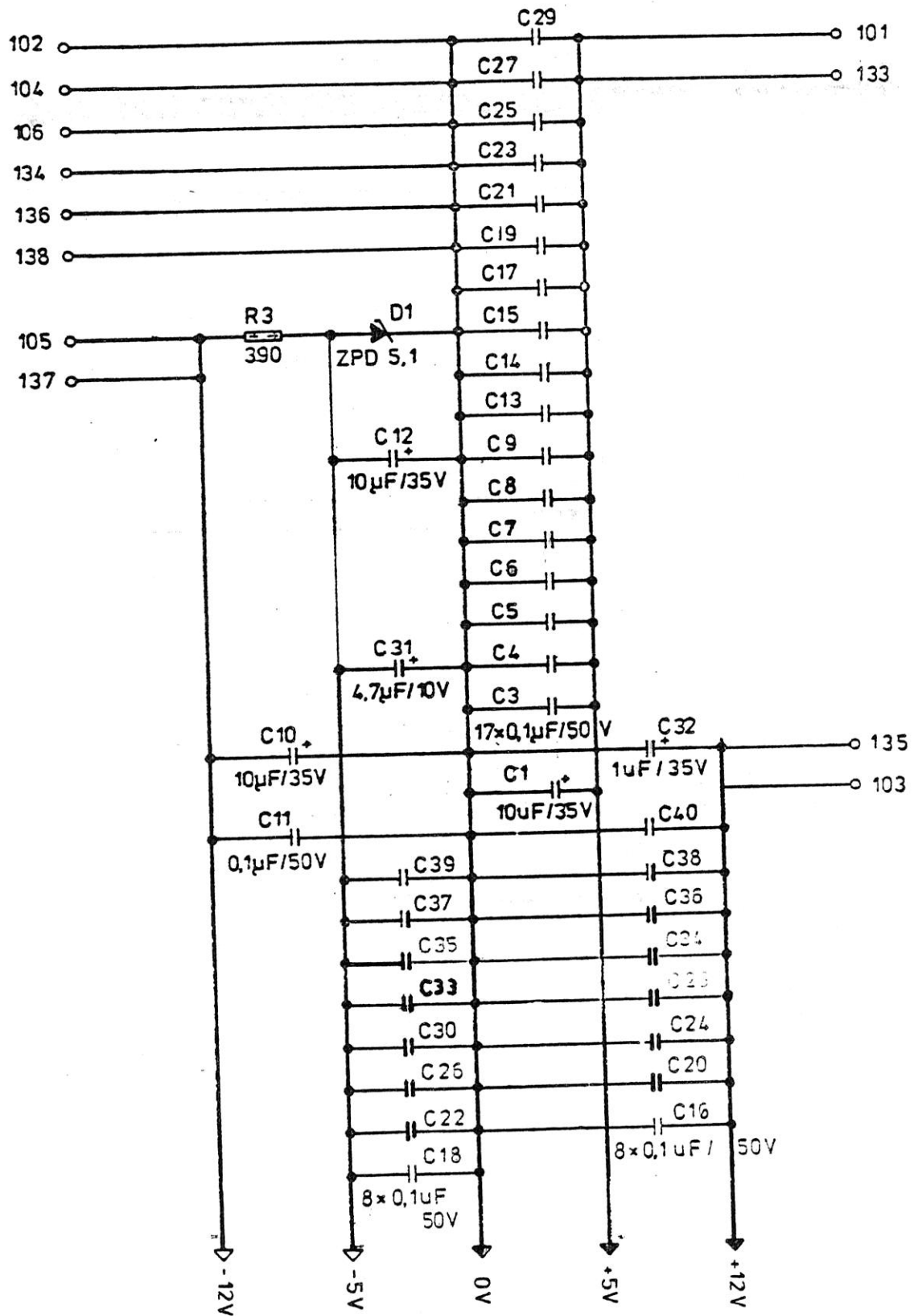
PIN	Bezeichnung	Erläuterungen
165		
166	-ADR-IN 0-	Adreßbit 0
167	-ADR-IN 1-	Adreßbit 1
168	-ADR-IN 2-	Adreßbit 2
169	-ADR-IN 3-	Adreßbit 3
170	-ADR-IN 4-	Adreßbit 4
171	-ADR-IN 5-	Adreßbit 5
172	-ADR-IN 6-	Adreßbit 6
173	SR/-Kombi-	Speicher/ Interface
174	PAGE 0	Seite 0
175	PAGE 1	Seite 1
176	PAGE 2	Seite 2
177	PAGE 3	Seite 3
178	-OEZ0/1-	Freigabe Zusatzkarte 1
179	-OEZ2-	Freigabe Zusatzkarte 2
180	-OEZ3-	Freigabe Zusatzkarte 3
181		
182		
183		
184		
185		
186		
187		
188		
189	-XACK-	Transfer Acknowledge
190	-RAS3-	Row Adress Strobe
191	-WE-	Write Enable
192	-CAS-	Column Adres Strobe
193		
194		
195		
196		

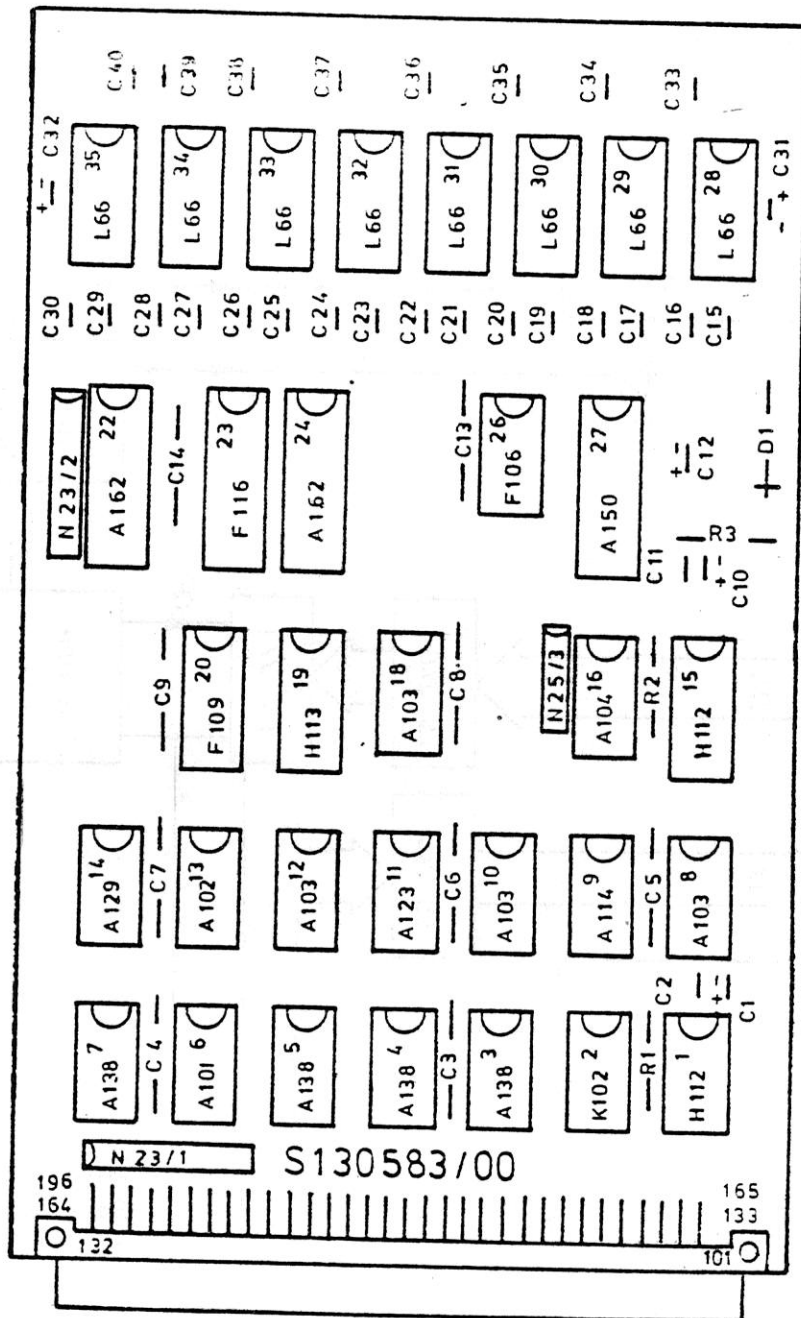


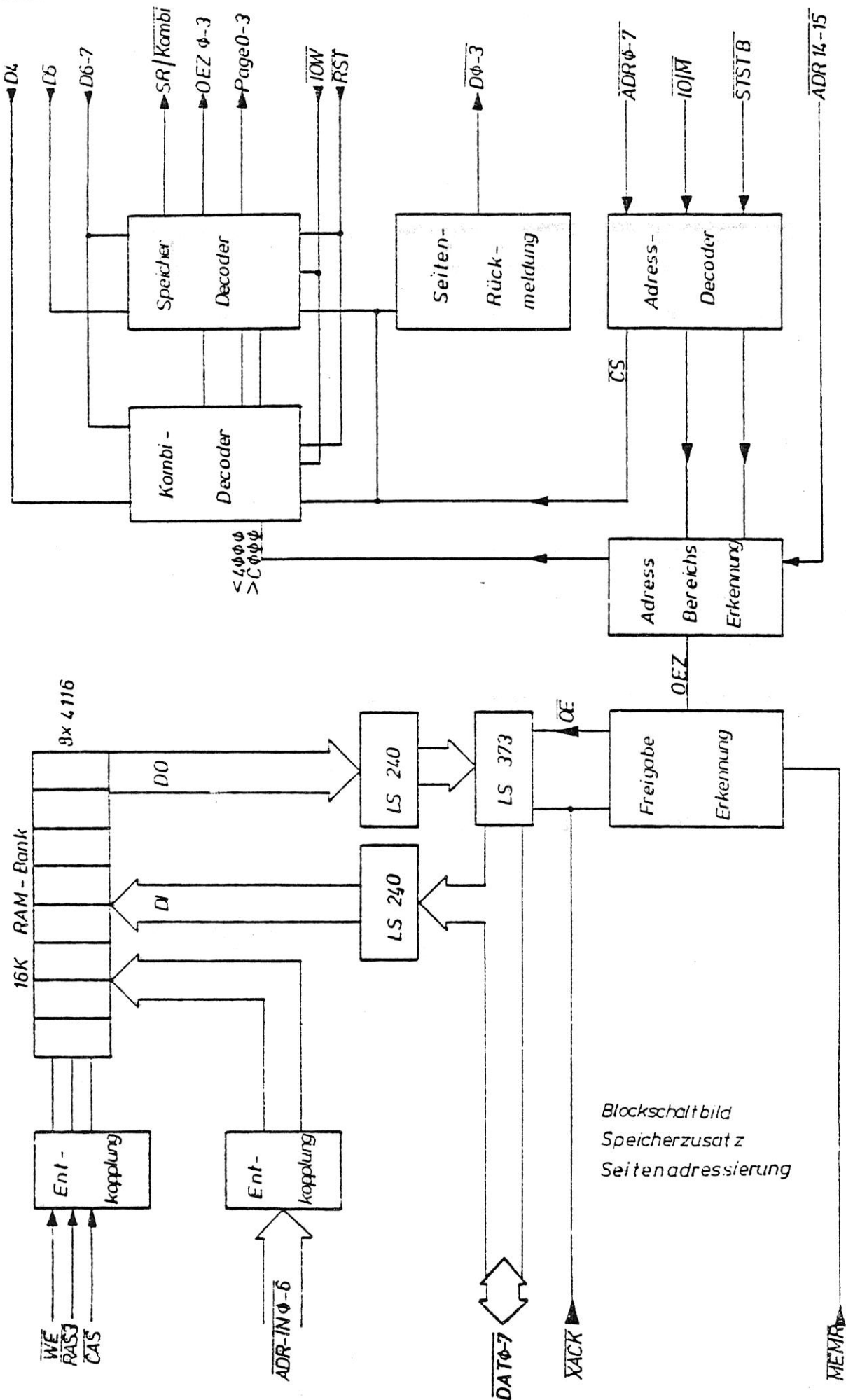
* IN BAUGRUPPE CAAC08 NICHT BESTÜCKT











Blockschaltbild
Speicherzusatz
Seitenadressierung